

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-098105

(43)Date of publication of application : 12.04.1996

(51)Int.Cl.

H04N 5/46

H04N 3/27

H04N 5/45

H04N 7/00

H04N 7/24

(21)Application number : 06-235727

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.09.1994

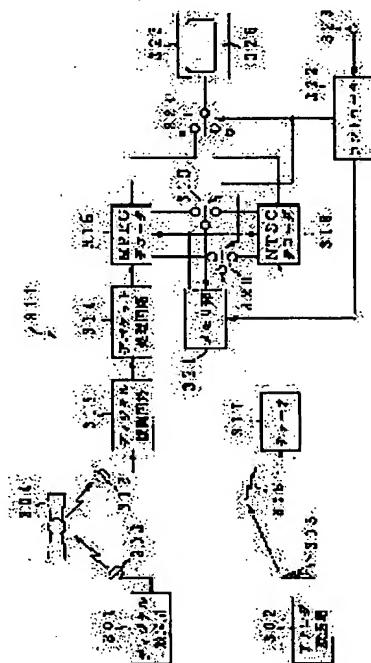
(72)Inventor : YASUKI SEIJIROU
SENBON HIROYUKI
TASHIRO SHIGERU

(54) TELEVISION RECEIVER

(57)Abstract:

PURPOSE: To provide a picture of high picture quality by causing it to correspond to plural broadcast systems while the increase of a hardware scale is suppressed.

CONSTITUTION: For receiving digital broadcasting, a controller 322 causes switches 319 and 320 to select a terminal (a), connects a memory part 321 to an MPEG decoder 315 and operates it. A video signal from the MPEG decoder 315 is supplied to a switch 324. For receiving NTSC broadcasting, the controller 322 causes the switches 319 and 320 to select a terminal (b). Thus, an NTSC decoder 318 is connected to the memory part 321 and it can be operated. A decoded video signal is outputted to the switch 324. Thus, the switches 319 and 320 share the memory part 321 by the two decoders 315 and 318. Thus, the increase of the hardware scale can be suppressed and picture quality using the memory parts can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-98105

(43) 公開日 平成8年(1996)4月12日

(51) Int.Cl.⁶H 0 4 N 5/46
3/27
5/45

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 N 7/ 00

Z

7/ 13

Z

審査請求 未請求 請求項の数13 O L (全 30 頁) 最終頁に続く

(21) 出願番号 特願平6-235727

(22) 出願日 平成6年(1994)9月29日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 安木 成次郎

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝マルチメディア技術研究所内

(72) 発明者 千本 浩之

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝マルチメディア技術研究所内

(72) 発明者 田代 成

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝マルチメディア技術研究所内

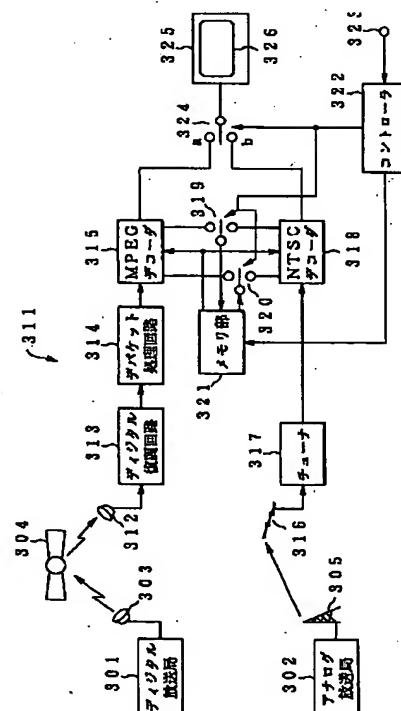
(74) 代理人 弁理士 伊藤 進

(54) 【発明の名称】 テレビジョン受信機

(57) 【要約】

【目的】 ハード規模の増大を抑制しながら複数の放送方式に対応させて高画質の画像を得る。

【構成】 デジタル放送を受信する場合にはコントローラ322はスイッチ319, 320に端子aを選択させ、メモリ部321をMPEGデコーダ315に接続して動作可能にする。MPEGデコーダ315からの映像信号はスイッチ324に供給される。また、NTSC放送を受信する場合にはコントローラ322によってスイッチ319, 320に端子bを選択させる。これにより、NTSCデコーダ318はメモリ部321に接続されて動作可能となり、デコードした映像信号をスイッチ324に出力する。このように、スイッチ319, 320によってメモリ部321を2つのデコーダ315, 318で共用することにより、ハードウェア規模の増大を抑制すると共に、メモリを用いた画質の向上を図る。



【特許請求の範囲】

【請求項1】 複数の放送方式に夫々対応した複数のデコーダと、

前記複数のデコーダに共用される記憶手段と、

前記複数のデコーダのうちの所定のデコーダを選択して前記記憶手段と接続することにより選択したデコーダによるデコードを可能にする切換え手段と、

この切換え手段によって選択されたデコーダからの映像信号に基づく表示を行う表示手段とを具備したことを特徴とするテレビジョン受信機。

【請求項2】 前記複数の放送方式は、ディジタル放送方式及びアナログ放送方式を含むことを特徴とする請求項1に記載のテレビジョン受信機。

【請求項3】 前記切換え手段は、前記ユーザー操作に基づいて制御されることを特徴とする請求項1に記載のテレビジョン受信機。

【請求項4】 前記複数のデコーダは、MPEGデコーダを含むことを特徴とする請求項1に記載のテレビジョン受信機。

【請求項5】 前記記憶手段は、前記MPEGデコーダの動き予測復号化処理に用いられることを特徴とする請求項4に記載のテレビジョン受信機。

【請求項6】 前記複数のデコーダは、NTSCデコーダを含むことを特徴とする請求項1に記載のテレビジョン受信機。

【請求項7】 前記記憶手段は、3次元Y/C分離処理におけるフレーム分離及び動き検出に用いられることを特徴とする請求項6に記載のテレビジョン受信機。

【請求項8】 前記記憶手段は、走査変換処理における走査線補間及び動き検出に用いられることを特徴とする請求項6に記載のテレビジョン受信機。

【請求項9】 前記複数のデコーダは、第2世代EDTVデコーダを含むことを特徴とする請求項1に記載のテレビジョン受信機。

【請求項10】 前記記憶手段は、前記第2世代EDTVデコーダにおける垂直方向の伸長処理に用いられることを特徴とする請求項9に記載のテレビジョン受信機。

【請求項11】 前記記憶手段は、前記第2世代EDTVデコーダにおける補強信号のデコード処理に用いられることを特徴とする請求項9に記載のテレビジョン受信機。

【請求項12】 複数の放送方式に夫々対応した複数のデコーダと、

前記複数のデコーダに共用される記憶手段と、

前記複数のデコーダのうちの所定のデコーダを選択して前記記憶手段と接続することにより選択したデコーダの機能を拡張する切換え手段と、

この切換え手段によって選択されていない他のデコーダからの映像信号を縮小する圧縮手段と、

前記切換え手段によって選択されたデコーダからの映像

信号に基づく画面を親画面とし前記圧縮手段からの映像信号に基づく画面を子画面として多画面表示を可能にする表示手段とを具備したことを特徴とするテレビジョン受信機。

【請求項13】 前記複数の放送方式がディジタル放送方式であるか又はアナログ放送方式であるかを検出し、検出結果に基づいて前記切換え手段を制御する判定手段を付加したことを特徴とする請求項1に記載のテレビジョン受信機。

【発明の詳細な説明】**【0001】 【発明の目的】**

【産業上の利用分野】 本発明は、現行アナログ放送とディジタル放送を受信可能なテレビジョン受信機に関する。

【0002】

【従来の技術】 現在、日本国内においては、NTSC方式のカラー放送が行われている。この現行NTSC放送を高画質化及び高音質化することを目標として、ディジタル技術を用いた第2世代EDTV (Extended Definition TV) 放送も1995年から開始される予定である。また、現行NTSC放送では、放送波の垂直部ブランキング期間に文字放送のディジタルデータが多重されており、通常の放送だけでなく文字放送の視聴も可能となっている。更に、近年、BS (衛星放送) の音声チャンネルを用いたデータ放送及びFAX放送等の新しい放送も行なわれている。

【0003】 従来、メモリ及びディジタルLSI等が高価であることから、これらの各種放送サービスの実施は困難であった。しかし、メモリ技術の進歩に伴って、ディジタルデータをディスプレイに表示することが容易となり、通常放送だけでなく各種放送サービスを利用することができるようになってきた。ディジタル技術及び半導体技術の進歩は著しく、放送及び通信の分野に大きな影響を与えている。画像のディジタル化が進み、ディジタルテレビジョン (TV) 放送も検討され始めた。

【0004】 画像のディジタル化においては圧縮技術が必須であり、各種標準化案が検討されている。例えば、動画像を圧縮して伝送するディジタル圧縮符号化方式としてMPEG (Moving Picture Experts Group) 2方式の国際標準化が進んでいる。MPEG 2においては、DCT (Discrete Cosine Transform) 変換、フレーム間予測符号化、ランレングス符号化及びエントロピー符号化を複合的に用いて映像信号を符号化する。ディジタルTV放送においてもこのMPEG 2をベースにした画像圧縮が考えられている。また、MPEG 2はCATV等においても用いられており、双方向のデータ伝送を行うディジタルCATVシステムでは、動画像をMPEG 2方式で圧縮することにより、多数のチャンネルを用いて同時にサービスを行うことを可能にしている。MPEG 2規格の圧縮によって、高音質化及び高画質化を維持し

た圧縮符号化が可能となる。

【0005】ところで、近年、MPEG2等の画像圧縮技術の確立によって、音声及び映像を統合的に扱い、ユーザーの要求に応じて各種の情報サービスを画像によっても提供することができるマルチメディアサービスも発展しようとしている。例えば、画像、音声及び各種データを統一して扱う放送方式や、双方向CATV等が検討されている。これらの多種多様なサービスを一般家庭において享受するための端末装置としてテレビジョン受信機を利用することが考えられる。

【0006】図10は現行NTSC放送を受信可能な従来のテレビジョン受信機を示すブロック図である。また、図11はNTSC信号を発生するエンコーダを示すブロック図である。

【0007】NTSC放送については、「放送方式」(日本放送出版協会)の138ページから141ページに詳述されている。図11に示すエンコーダの入力端子1乃至3には夫々テレビカメラ又はVTR等によって得られたソース画像のR、G、B信号が入力される。入力されたR、G、B信号はマトリックス回路4によって、夫々輝度信号(Y信号)、色差信号(I信号、Q信号)に変換される。Y信号は遅延線5により遅延されて加算回路7に与えられる。I信号は遅延線6によって遅延されてI信号用ローパスフィルタ(LPF)8に供給される。Q信号はQ信号用LPF9に供給される。

【0008】I信号用LPF8は入力されたI信号を帯域制限してI信号変調器10に出力する。Q信号用LPF9は入力されたQ信号を帯域制限してQ信号変調器11に出力する。なお、遅延線6は、LPF8よりもLPF9の方がカットオフ周波数が低いことから生じる遅延の差を吸収する。また、遅延線5はI、Q信号の処理に要する時間を吸収してタイミングを合わせている。LPF8、9の出力信号は、夫々変調器10、11によって変調されて加算回路7に供給され、加算回路7によってY信号と加算される。

【0009】変調器10、11が用いるキャリアは3.58MHz発振器12の出力に基づいて作成する。3.58MHz発振器12は周波数が3.58MHzの発振出力を -57° 移相器13に与える。 -57° 移相器13によってI軸のキャリアが作成されて変調器10に供給される。また、また、I軸キャリアを -90° 移相器14によって -90° 移相することによりQ軸キャリアを作成して変調器11に供給している。

【0010】また、3.58MHz発振器12の発振出力は同期信号発生器15に供給される。同期信号発生器15は発振器12の発振出力を分周することにより複合同期信号を作成して加算回路7に出力すると共に、水平周期のタイミング信号を発生してバースト変調器16に出力する。バースト変調器16は発振器12から3.58MHzの発振出力が与えられ、タイミング信号のタイミングでバース

ト信号を生成して加算回路7に出力する。

【0011】加算回路7はY信号とI、Q信号との複合信号にバースト信号及び複合同期信号を加算してNTSC信号を生成して出力端子17を介して出力する。こうしてエンコードされたNTSC信号は地上波、BS波又はCS(衛星通信)波等を用いて高周波テレビジョン信号として各家庭に送信される。

【0012】一方、受信側においては、受信された高周波テレビジョン信号は図示しないチューナに与えられて所定のチャンネルの映像信号が選局され、中間周波信号に変換されて図10の入力端子21に入力される。映像検波器22は選局された中間周波信号を検波し、ベースバンドの映像信号を色副搬送波トラップ23及び帯域増幅器24に出力する。映像信号は色副搬送波トラップ23によって色成分が除去されてY信号が抽出される。このY信号は遅延線25を介してマトリックス回路26に与えられる。

【0013】一方、帯域増幅器24によって映像信号から色信号が分離され、I信号同期検波器27、Q信号同期検波器28及びバーストぬきとり回路29に供給される。バーストぬきとり回路29は入力された信号からバースト信号を抜き取り、位相比較器30に出力する。位相比較器30には電圧制御水晶発振器31からの3.58MHzの発振出力も入力される。位相比較器30は2入力の位相を比較して、位相差に基づく誤差信号を電圧制御水晶発振器31に出力する。これにより、誤差信号を0とするように電圧制御水晶発振器31の発振出力が変化して、電圧制御水晶発振器31からはバースト信号に位相同期した再生バースト信号が出力される。この再生バースト信号はI軸キャリアとしてI信号同期検波器27に出力される。また、再生バースト信号は -90° 移相器32によって 90° 移相されてQ軸キャリアとしてQ信号同期検波器28に出力される。

【0014】I信号同期検波器27及びQ信号同期検波器28は夫々I軸キャリア又はQ軸キャリアを用いた検波を行って、I信号及びQ信号を得る。これらのI信号及びQ信号は夫々I信号用LPF33及びQ信号用LPF34によって帯域制限される。帯域制限されたQ信号はマトリックス回路26に与えられ、I信号は遅延線35を介してマトリックス回路26に与えられる。遅延線25、35は夫々Y信号及びI信号を遅延させることにより、Y信号、I信号及びQ信号のタイミングを一致させてマトリックス回路26に供給する。マトリックス回路26は入力された信号にマトリックス処理を施してR、G、B信号を得る。このようにして、NTSC信号がデコードされる。

【0015】ところで、上述したように、NTSC方式のアナログ信号は輝度信号(Y信号)と色信号(C信号)とが周波数多重されて伝送される。このため、受信側においてY信号とC信号とを分離する必要がある。ラインメモリを用いたコムフィルタによってY/C分離を行うと、十分な分離性能が得られないことから、クロス

トークが生じてしまう。そこで、最近では、フレームメモリを用いた3次元Y/C分離回路が採用されるようになった。図12はこのような3次元Y/C分離回路を示すブロック図である。

【0016】入力端子221を介して入力されたNTSC方式の映像信号は、フレームメモリ222及び2次元フィルタ223に入力される。フレームメモリ222によって入力映像信号は1フレーム期間遅延されて、加算器224、減算器225、226及びフレームメモリ227に与えられる。NTSC映像信号の色信号は1フレーム期間前後で位相が反転している。即ち、現フレームの映像信号がY信号+C信号であるものとする、1フレーム前の映像信号はY信号-C信号である。従って、加算器224においてフレームメモリ222の入出力、即ち、1フレーム前後の信号を加算するとY信号が得られ、減算器225においてフレームメモリ222の入出力同士を減算するとC信号が得られる。加算器224の出力は静画時の輝度信号Yとして混合回路(以下、MIXという)228に与えられ、減算器225の出力は静画時の色信号CとしてMIX229に与えられる。

【0017】入力された映像信号が静画である場合には、上述したフレームメモリ222、加算器224及び減算器225を用いたフレーム間の演算によって確実なY/C分離が可能である。しかし、動画の場合には、フレーム間の動きによって画像が重なり2重像となる画質劣化が生じる。この理由から、動画時にはフレーム間の演算を行わず、フレーム内の演算による2次元フィルタ(コムフィルタ)を採用する。即ち、入力端子221からの映像信号は、ラインメモリを用いた2次元フィルタ(コムフィルタ)223にも供給される。2次元フィルタ223によって、映像信号はY信号とC信号とに分離される。2次元フィルタ223からのY信号及びC信号は夫々動画時の輝度信号Y及び色信号CとしてMIX228、229に供給される。

【0018】一方、入力端子221からの映像信号は減算器226にも与えられる。減算器226は1フレーム期間前後の映像信号を減算し、現在入力されている画像が動いているか静止しているかを検出する。減算器226からの検出信号は動き検出回路230に与えられる。ところで、フレーム間の差を求めた場合には、動き成分だけでなくC信号の漏込み分も検出されることになる。このため、動き検出回路230は図示しないLPFによって減算器226からの検出信号の低域成分を抽出して動き成分とする。また、フレームメモリ222からの遅延信号はフレームメモリ227によって1フレーム期間遅延されて減算器231に与えられる。減算器231には入力端子221からの映像信号も与えられており、減算器231によって2フレーム期間前後の映像信号の差が求められる。現フレームの映像信号がY信号+C信号であるものとする、2フレーム期間遅延した信号もY信号+C信号となる。従っ

て、減算器231が求めた2フレーム間の差は動き成分であると考えられる。

【0019】動き検出回路230は、減算器226からの検出信号を低域成分の動き検出信号として用い、減算器231からの検出信号を全帯域の動き検出信号として用いて動きの判定を行う。なお、2フレーム間の差分に基づく動き検出では早い動きの検出が不良であるので、動き検出回路230は、1フレーム間の差分と2フレーム間の差分との最大値演算によって正確な動き検出を行っている。動き検出回路230の出力信号はMIX228、229に与えられる。MIX228は動き検出回路230の出力によって入力映像信号が静画であることが示された場合には、加算器224の出力信号を選択し、動画であることが示された場合には、2次元フィルタ223の出力信号を選択してY信号として出力端子232に出力する。また、MIX229は動き検出回路230の出力によって入力映像信号が静画であることが示された場合には、減算器225の出力信号を選択し、動画であることが示された場合には、2次元フィルタ223の出力信号を選択してC信号として出力端子232に出力する。

【0020】このように、図12の回路は静画時に分離性能に優れたフレーム間Y/C分離を行い、動画時には2次元フィルタによるY/C分離を行っており、高精度のY/C分離が可能である。このため、図12の3次元Y/C分離回路を採用することにより、高画質の表示が可能である。

【0021】更に、近年、高画質の画像を得るために、走査変換によって飛越し走査信号を順次走査信号に変換し、これによりフリッカを低減したテレビジョン受信機が商品化されている。

【0022】図13はこのような飛越し走査信号を順次走査信号に変換する走査変換回路を示すブロック図である。

【0023】NTSC方式の映像信号は飛越し走査を採用しているので、垂直方向に鋭いエッジ部が存在する場合にはフリッカが目立ってしまう。また、近年、ディスプレイの大画面化によって走査線構造も見えやすくなって画質は一層劣化しやすくなっている。このため、走査変換が採用されており、飛越し走査信号を順次走査信号に変換することにより、フリッカを低減すると共に、走査線を密にして高画質化を図っている。

【0024】入力端子241を介して入力されたNTSC方式の映像信号はNTSCデコーダ242に供給される。NTSCデコーダ242は、図10に示すデコーダと同一構成であり、入力された映像信号をデコードしてY信号及び色差信号(I、Q信号)を出力する。Y信号はフィールドメモリ243によって1フィールド期間遅延されてMIX244に与えられる。Y信号はライン補間回路245にも与えられ、ライン補間回路245は1ライン前後の走査線の和を算出してMIX244に出力する。

【0025】フィールドメモリ243の出力は動き検出回路247にそのまま与えられと共に、フレームメモリ246によって1フレーム期間遅延されて与えられている。更に、動き検出回路247にはNTSCデコーダ242からのY信号も入力されており、動き検出回路247は、Y信号のフィールド間差及びフレーム間差を求め、求めた差分に基づいて入力映像信号の動き成分を検出する。

【0026】動き検出回路247からの動き検出信号はMI X244に与えられる。MI X244は動き検出信号によって静止画が入力されたことが示された場合には、フィールドメモリ243の出力を選択し、動画が入力されたことが示された場合には、ライン補間回路245の出力を選択して倍速メモリ248に出力する。一方、倍速メモリ249にはNTSCデコーダ242からのY信号が供給される。倍速メモリ248, 249は入力されたY信号を書込みクロックの2倍の周波数の読出しクロックを用いて読出す。即ち、各倍速メモリ248, 249からは1走査期間のY信号が $1/2$ の時間で読出される。セクタ250は倍速メモリ248, 249からのY信号を $1/2$ 走査期間毎に切換え選択して出力端子251から出力する。

【0027】動画時には、倍速メモリ249からのY信号とライン補間回路245によって生成したY信号とによって1水平期間に2ラインのY信号が出力される。一方、静止画時には、倍速メモリ249からのY信号とフィールドメモリ243からの前フィールドのY信号とによって1水平期間に2ラインのY信号が出力される。従って、特に静止画の場合には、フリッカが低減された極めて高画質の画像が得られる。

【0028】一方、NTSCデコーダ242からのI信号及びQ信号はセクタ252に与えられ、周波数が f_{sc} （色副搬送波周波数）のクロックによって交互に出力される。倍速メモリ253はセクタ252の出力を読込むと共に、読込みの2倍の速度で読出してセクタ254に出力する。セクタ254は周波数が $2f_{sc}$ のクロックを用いてI信号とQ信号とを f_{sc} タイミングで分離して、夫々出力端子256, 257から出力する。

【0029】このように、図13の回路は、動き適応順次走査変換によって、飛越し走査信号を順次走査信号に変換することにより、走査線数を倍にして、画質を向上させている。

【0030】ところで、上述したNTSC方式のカラー放送では、画面の横縦比（アスペクト比）は4:3である。しかし、HDTV（High Definition TV）の研究の過程で、画面のアスペクト比を現行よりも横長の16:9にすることにより、臨場感を向上させることができることが明らかとなった。そこで、現行放送との両立性を保ちながらアスペクト比16:9のワイド画像を伝送する第2世代EDTV放送が検討されている。

【0031】第2世代EDTV信号の有効走査線は、アスペクト比が4:3の現行NTSC信号の垂直方向中央

の16:9の部分に対応している。従って、例えば、アスペクト比が4:3の現行放送用のテレビジョン受像機によって第2世代EDTV放送を映出すると、画面上下に無画部を有し中央に主画部を有するレターボックス表示が行われることになる。レターボックス表示を採用することにより、NTSC方式のテレビジョン受信機で再生しても番組素材がカットされないという利点がある。

【0032】第2世代EDTVは、アスペクト比が4:3の現行NTSC信号の中央の16:9の部分のみを有効走査線としているので、現行NTSC信号の有効走査線数が480本であるのに対し、伝送する第2世代EDTV信号の有効走査線数は360本となる。第2世代EDTV方式に対応したテレビジョン受像機においては、デコード時にこの360本の有効走査線を3→4走査変換して480本に戻す。単に走査線変換しただけでは、第2世代EDTV信号は現行NTSC信号よりも解像度が劣化してしまうので、送信時に解像度を改善するための水平及び垂直補強信号を多重化して伝送することが決定している。

【0033】このような第2世代EDTV信号を発生するエンコーダについて、テレビジョン学会技術報告Vol. 17, No. 65, pp19-24, BCS' 93-42 (Dec. 1993)に記載されたシステムが提案されている。図14はこのエンコーダを示すブロック図である。

【0034】この例では、480ライン/画面高（1 p h）の順次走査（プログレッシブ）信号を4→3走査線変換すると共に、飛越し走査（インターレース）信号に変換して主画面信号として主画面期間に伝送する。そして、走査線変換による折り返し歪の発生を防止するための帯域制限によって失われる成分VH及び飛越し走査変換時に帯域制限されて失われる成分LDを垂直補強信号として上下無画部期間に伝送するようになっている。

【0035】図14において、入力端子71乃至73には夫々ソース画像のR, G, B信号が入力される。これらのR, G, B信号はマトリックス回路74によってY信号、I信号及びQ信号に変換される。Y信号は垂直処理部75の4→3変換回路76に与えられ、480 l p hの信号から360 l p hの信号に走査線変換される。垂直処理部75を構成するSSKF（Symmetric Short Kernel Filter）77, 78は、夫々垂直LPF及び垂直HPFとして機能し、走査線変換した輝度信号を垂直低域成分と垂直高域成分とに分離する。垂直処理部75のPI変換回路79は垂直低域成分を飛越し走査信号に変換して180 l p hの主画面信号としてレターボックス変換回路81に供給する。また、垂直処理部75のPI変換回路80は垂直高域成分を飛越し走査信号に変換して180乃至360 l p hの垂直時間高域成分LDとして多重回路82に供給する。

【0036】一方、マトリックス回路74からのY信号、I信号及びQ信号は前置フィルタ83に与えられる。前置フィルタ83は入力された信号を帯域制限する。前置フィル

タ83からのY信号は、垂直高域成分処理部84に与えられる。垂直高域成分処理部84はVシフタ85、4→3変換回路86及びPI変換回路87によって構成されている。Y信号の垂直高域成分はVシフタ85によって垂直低域に周波数シフトされた後、4→3変換回路86によって360乃至4801phの垂直高域成分に変換され、更に、PI変換回路87によって飛越し走査信号に変換される。この1フィールド当たり601phの垂直高域成分はVH'信号として多重回路82に供給される。

【0037】マトリックス回路74からのY信号は動き検出回路88にも与えられている。動き検出回路88は画像の動きを検出して動き検出信号を多重回路82に出力する。多重回路82は、動き検出回路88からの動き検出信号によって画像が静止面であることが示された場合にはVH'信号とLD信号とを多重してレターボックス変換回路81に出力し、動画であることが示された場合にはLD信号のみをレターボックス変換回路81に出力する。

【0038】レターボックス変換回路81はPI変換回路79からの主画面信号を画面中央の主画面期間に割当て、多重回路82の出力を垂直補強信号として画面上下の無画面期間に割当てて多重する。レターボックス変換回路81からの主画面信号はプリコーミング回路88によってプリコーミング処理された後、LPF89によって0乃至4.2MHzに帯域制限され、多重回路90を介してスイッチ92の端子aに与えられる。なお、プリコーミング処理は、後述するHH'信号の多重周波数領域にホールを形成するためのものである。また、レターボックス変換回路81からの垂直補強信号(LD/VH')はfsc変調回路91に与えられ、fsc変調回路91は色副搬送波を用いて垂直補強信号を変調してスイッチ92の端子bに出力する。なお、垂直補強信号はレターボックス変換回路81において時間軸方向に1/3に圧縮されるようになっている。

【0039】第2世代EDTV放送においては、水平方向の解像度を改善するために、現行放送帯域では伝送することができない4.2MHz以上の成分も伝送するようになっている。即ち、前置フィルタ83からの輝度信号水平高域成分を4→3変換回路93によって走査線変換した後、PI変換回路94によって飛越し走査信号に変換して1801phの輝度信号水平高域成分をHH信号としてレターボックス変換回路81に出力する。レターボックス変換回路81はHH信号を主画面期間に割当ててホール多重回路95に与える。ホール多重回路93はHH信号を色副搬送波と共役な周波数領域である吹抜きホールに周波数シフトし、HH'信号として多重回路90に与えて主画面信号に多重させる。

【0040】一方、前置フィルタ83からのI、Q信号は夫々4→3変換回路96、98に供給される。4→3変換回路96、98は夫々I、Q信号を走査線変換してPI変換回路97、99に出力する。更に、I、Q信号は、夫々PI変

換回路97、99によって飛越し走査信号に変換され、レターボックス変換回路81を介してLPF100、101に供給される。LPF100、101は夫々I、Q信号を夫々1.5MHz又は0.5MHzの低域に帯域制限してIQ変調回路102に出力する。I、Q信号はIQ変調回路102によって直交変調されて多重回路90に与えられ、NTSC信号と同様に、多重回路90において主画面のY信号に多重される。

【0041】多重回路90からの主画面信号とfsc変調回路91からの垂直補強信号とはスイッチ92によって主画面期間と無画面期間とで切換えられて、第2世代EDTV信号として出力端子103から出力される。

【0042】この第2世代EDTV信号を受信する受信側装置として現行方式に対応した従来のテレビジョン受信機を用いた場合には、上述したように、上下に無画面を有し、画面中央に主画面が表示されるレターボックス形式の表示が行われて、両立性が確保されることになる。また、第2世代EDTV方式に対応した従来のテレビジョン受信機では、多重された水平及び垂直補強信号を用いることにより高解像度の表示が行われる。

【0043】ところで、図14のエンコーダでは、上述したように、主画面信号とLD信号との分離に公知のSSKFを採用している。SSKFによる分離は、順次走査信号を主画面部と無画面部とで半分ずつ分配して伝送する手法であると考えられる。しかしながら、無画面部が60[本/フィールド]であるのに対し、垂直補強信号は180[本/フィールド]であるので、垂直補強信号は時間方向に1/3に圧縮して無画面部に時分割多重するようになっている。

【0044】このように、垂直補強信号は、無画面部に1/3に時間圧縮して時分割多重することから、無画面部で伝送できる信号帯域は1/3に制限される。即ち、主画面信号の帯域が例えば4.2MHzであれば、無画面期間の信号帯域は1.4Hzとなる。更に、無画面期間の垂直補強信号は、上述したように、色副搬送波(周波数fscが3.58MHz)を用いてAM変調されており、垂直補強信号については伝送可能な帯域が1.2MHzに制限されてしまう。

【0045】これに対し、伝送される主画面信号は1.2MHz以上の成分も含んでいる。従って、受信側では、SSKFを用いて主画面信号及び無画面期間の信号から順次走査信号の再現することができる帯域は1.2MHz以下である。このため、受信側では、1.2MHz以上の成分については、主画面信号のみを用い、公知の補間処理によって、飛越し走査から順次走査に変換しなければならない。

【0046】図15はこのようなSSKFによって作成された第2世代EDTV信号をデコードする従来のテレビジョン受信機を示すブロック図であり、テレビジョン学会技術報告Vol.17, No.65, pp19-24, BCS'93-42(Dec.199

3)に記載された例を示している。図15のデコーダは図14に示すエンコーダによって得られる第2世代EDTV信号をデコードするものである。

【0047】第2世代EDTV信号は入力端子111を介してスイッチ112に供給される。スイッチ112によって主画面期間の主画面信号は3次元Y/C/HH'分離回路113及び動き検出回路114に与えられ、上下無画部期間の垂直補強信号はf_{sc}復調回路115に与えられる。動き検出回路114は主画面信号の動きを検出して動き検出信号を出力する。3次元Y/C/HH'分離回路113は、図示しないフレームメモリを有しており、動き検出信号に基づいて、主画面信号からY信号と色信号(I, Q信号)とを分離すると共に、水平補強信号(HH'信号)を分離する。

【0048】分離されたY信号は水平低域輝度信号として加算器116に与えられる。また、HH'信号はHH復調回路117に与えられて復調され、4.2乃至6MHzの水平高域成分であるHH信号が加算器116に与えられる。加算器116はY信号にHH信号を加算することにより主画面信号の水平解像度を向上させて、加算器118、ハイパスフィルタ(HPF)119、LPF120及び動き検出回路121に出力する。

【0049】一方、スイッチ112からの垂直補強信号はf_{sc}復調回路115によって復調され、水平伸張回路122に供給される。垂直補強信号は、水平伸張回路122によって3倍に時間伸張されてLD/VH'分離復調回路123に与えられる。動き検出回路121は主画面信号の動きを検出して動き検出信号を出力しており、LD/VH'分離復調回路123は動き検出信号に基づいて、垂直補強信号をLD信号とVH'信号とに分離する。LD信号はSSKFVHPF124に与えられ、VH'信号は3→4変換回路125に与えられる。

【0050】復調されたLD, VH'信号を用いて主画面信号の垂直解像度を改善する。SSKFVHPF124は、逆フィルタ処理によって、輝度信号の垂直時間高域成分を加算器118に出力する。加算器118は加算器116からの主画面信号に垂直時間高域成分を加算して、飛越し走査変換時の解像度低下を補正する。加算器118の出力は3→4変換回路130に与えられる。

【0051】上述したように、LD信号は1.2MHz以上の成分を含んでいない。従って、主画面信号の1.2MHz以上の成分については、垂直補強信号を用いた解像度改善を行うことはできず、動き適応走査線補間が行われる。

【0052】即ち、加算器116からの主画面信号は、HPF119において1.2MHz以上の成分に帯域制限されて動き適応走査線補間回路126に供給される。動き適応走査線補間回路126は動き検出信号に基づいて走査線補間を行って加算器127に出力する。なお、実際のハードウェアでは、動き適応走査線補間回路126によって飛

越し走査を順次走査に変換すると処理速度が高速になることから、伝送された走査線と補間によって生成される走査線とを、夫々、直接系と補間系とに分けて処理する。即ち、加算器116の出力は直接系の加算器118に供給され、動き適応走査線補間回路126からの補間によって生成された出力は補間系の加算器127に供給される。

【0053】一方、主画面信号の水平1.2MHz以下の帯域の成分はLPF120によって取出されてSSKFVLPF128に与えられる。SSKFVLPF128は、主画面信号の水平低域の垂直時間低域成分を加算器129に出力する。加算器129はSSKFVLPF128の出力とSSKFVHPF124の出力とを加算することにより、補間系における水平低域成分の解像度を改善して加算器127に出力する。加算器127は補間系の水平低域及び水平高域成分を加算して3→4変換回路130に出力する。3→4変換回路130は入力された直接系及び補間系の主画面信号を480lp_hの信号に走査線変換して加算器132に出力する。

【0054】一方、LD/VH'分離復調回路123からのVH'信号は3→4変換回路125によって走査線数が4/3倍に変換され、Vシフト131によって元の垂直高域に周波数シフトされた後、加算器132に供給される。加算器132は3→4変換回路130からの0乃至360lp_hの垂直低域成分に360乃至480lp_hの垂直高域成分を加算することにより、走査線変換時解像度低下を補正する。加算器132からの480lp_hの順次走査信号はマトリックス回路133に与えられる。

【0055】一方、3次元Y/C/HH'分離回路113によって分離された色信号は、IC復調回路134与えられてI信号、Q信号に戻される。I信号及びQ信号は夫々LPF135, 136によって水平帯域が制限された後、3→4変換回路137, 138に供給される。3→4変換回路137, 138は夫々I信号及びQ信号を走査線変換して480本の順次走査信号に変換してマトリックス回路133に出力する。マトリックス回路133はマトリックス処理によってR, G, B信号を生成して出力する。このR, G, B信号を図示しないディスプレイに供給することにより、水平及び垂直解像度が改善されたワイド画像を映出させることができる。

【0056】また、図16は図15において垂直方向に4/3倍に画像を伸長する3→4変換回路125, 130, 137, 138以降の部分を示すブロック図である。

【0057】入力端子111からの第2世代EDTV信号は回路261に入力される。回路261は、図15のスイッチ112から加算器118, 127, 129までの回路と同様の構成であり、回路261からは水平解像度が改善された主画面信号、時間軸が元に戻された垂直補強信号、I, Q信号及び補間信号が出力される。これらの主画面信号、補間信号及び垂直補強信号は夫々フィールドメモリ262

、263、264に供給される。フィールドメモリ262乃至264は入力された信号の4ラインに1本のタイミングで仮の走査線を挿入しながら、入力された信号を記憶する。これにより、画像は垂直方向に伸長される。

【0058】一方、回路261からのI、Q信号はセクタ266に与えられて、色副搬送波に同期して時分割多重されてC信号としてフィールドメモリ265に与えられる。フィールドメモリ265において、C信号の4ラインに1ラインのタイミングで仮の走査線が挿入されながら記憶が行われて、垂直方向に伸長される。

【0059】フィールドメモリ262乃至265から読出された信号は、夫々倍速メモリ267乃至270に供給されて書込まれ、1/2の時間で読出されて倍速に変換される。倍速メモリ267、268から読出されたデータは1/2水平走査期間で切換わるスイッチ271によって交互に選択されて垂直補間回路272に与えられる。垂直補間回路272は挿入された仮の走査線を含めて補間を行って、加算器132に出力する。また、同様に、倍速メモリ269、270から読出されたデータは、夫々垂直補間回路273、274によって補間されてVシフト131又はセクタ275に供給される。垂直補間された垂直補強信号はVシフト131によって垂直高域にシフトされた後、加算器132に供給されて主画部信号と合成される。こうして、出力端子276からは水平及び垂直解像度が改善された4801phの輝度信号が出力される。

【0060】一方、フィールドメモリ265から読出された信号は倍速メモリ270によって倍速に変換され、垂直補間回路274によって補間されてセクタ275に供給される。セクタ275は色副搬送波の2倍の周波数の信号に同期させて垂直補間回路274の出力を交互に出力することによりI、Q信号を分離して夫々出力端子277、278から出力する。こうして、出力端子277、278からは夫々4801phのI信号及びQ信号が出力される。

【0061】このように、EDTV放送に対応したデコーダにおいては、レターボックス画像を垂直方向に伸長するた、大容量のメモリが必要となる。

【0062】ところで、上述した現行NTSC放送用、文字多重放送用及びEDTV放送用の従来のテレビジョン受信機はアナログ構成である。これに対し、近年、放送信号をデジタル化して伝送するデジタル放送が検討されている。図17はデジタル化されたテレビジョン放送の送受信システムを示すブロック図である。なお、図17はテレビジョン学会技術報告Vol15, No. 35, pp 31-36, BCS' 91-38 (Dec. 1991)に記載されたシステムから抜粋したものである。図17のシステムは12GHz帯衛星放送波を利用したISDB (Integrated Service Digital Broadcasting)を示している。

【0063】TVエンコーダ141、142は夫々テレビジョン画像TV1、TV2のデジタル信号を生成する。静止画エンコーダ143は静止画像のデジタル信号を生

成し、ファックスエンコーダ144はファクシミリ画像のデジタル信号を生成する。これらのエンコーダ141乃至144及び図示しない他のエンコーダからのデジタル信号は夫々パケットエンコーダ145乃至148及び図示しない他のパケットエンコーダに与えられる。パケットエンコーダ145乃至148及び図示しないパケットエンコーダは入力されたデジタル信号をパケット化して、デジタルのビットストリームをマルチプレクサ149に出力する。

【0064】各ビットストリームはマルチプレクサ149によって多重され、一連のデジタルデータがデジタル変調器150に供給されて変調される。変調されたデジタル信号は、アップコンバータ151によってアップコンバートされ、14GHz帯の信号としてアンテナ152から送信される。この送信波は衛星153によって受信され、12GHz帯の信号に変換された後各家庭に送信される。

受信機側において、衛星153からの放送波はアンテナ154を介して受信され、BSコンバータ155によって1GHz帯の信号に周波数変換されて、ISDBチューナ156を構成するBSチューナ157に供給される。BSチューナ157は入力された信号を更に周波数変換してデジタル復調器158に与える。BSチューナ157の出力信号はデジタル復調器158によって復調され、デマルチプレクサ159によって各データストリームに分離されて、パケットデコーダ160乃至163及び他のパケットデコーダに供給される。

【0065】パケットデコーダ160乃至163及び他のパケットデコーダはパケット化されたデータを通常のビットストリームに戻して、夫々ディスプレイ装置164乃至166及びファクシミリ装置167並びに図示しない他の装置に供給する。こうして、ディスプレイ装置164乃至166には夫々テレビジョン画像TV1、TV2及び静止画像が表示され、ファクシミリ装置167からはファクシミリ画像が得られる。

【0066】このように、ISDBシステムでは、複数のテレビジョン画像をデジタルデータに変換して時分割多重して伝送することができると共に、他のデジタルデータの伝送も可能である。例えば、ファクシミリデータ及びゲームソフト等のデジタルデータ等を同時に伝送可能である。

【0067】ところで、ISDBは、1993年テレビジョン学会年次大会、ITE'93, 15-6の「ISDBの階層化モデル」及び15-8の「デジタルテレビサービスの高機能化」において詳述されているように、層構造を用いてシステムが構築されている。

【0068】図18はこれらの文献に記載された層構造を示す説明図である。

【0069】各層はISDBの代表的な機能を示しており、図の左列は送信側の例であり、図の右列は受信側

の例である。また、図の中央列は層と層との機能を連結するインターフェース信号の例を示している。第1, 2, 3層の下位層では情報を受信者まで伝送することに関連した処理機能を規定し、第5, 6, 7層の上位層ではサービスに関連した処理機能を規定する。また、第4層では上位層と下位層との処理を整合させる機能が規定されている。

【0070】送信側においては、第7層で、映像、音声及び文字データ等について規定する。第6層では符号化について規定し、第5層ではデータのグループ化について規定する。第4層ではビットストリームの速度を変換し、第3層ではパケット化及び時分割多重について規定する。第2層では誤り訂正符号化について規定し、第1層ではデジタル変調について規定する。

【0071】例えば、図の中央列に示すように、第7層で規定された番組信号は第6層に基づく符号化処理が行われる。符号化データは第5層に基づいてグループ化されて第4層で速度変換されて各チャンネルのデータに変換される。次に、第3層に基づいてパケット化され、第2層で誤り訂正符号化される。誤り訂正符号化されたビットストリームは第1層に基づいて変調され、伝送信号が伝送路を介して伝送される。

【0072】一方、受信側の各層は夫々送信側の各層の逆処理である。受信側では第1層から第7層へ処理が行われて、番組信号が再生される。

【0073】図19及び図20は夫々図18の層構造に基づくISDBのデコード及びエンコードを示すブロック図である。

【0074】図20において、入力端子171, 172には夫々テレビジョン放送Aの画像A及び音声Aのデジタル信号が入力される。また、入力端子173, 174には夫々テレビジョン放送Bの画像B及び音声Bのデジタル信号が入力される。更に、入力端子175には所定の文字データ等のデジタルデータが入力される。

【0075】画像A及び音声Aのデジタルデータは夫々MPEGビデオエンコード176及びMPEGオーディオエンコード177に与えられて圧縮され、パケットエンコード178に供給される。パケットエンコード178は画像の圧縮データと音声の圧縮データとをパケット化してFIFO（ファーストイン・ファーストアウト）メモリ179に出力する。

【0076】同様に、画像B及び音声Bのデジタルデータは夫々MPEGビデオエンコード181及びMPEGオーディオエンコード182に与えられて圧縮され、パケットエンコード183に供給される。パケットエンコード183は画像の圧縮データと音声の圧縮データとをパケット化してFIFOメモリ184に出力する。また、入力端子175からのデジタルデータは変換器185によって所定のデジタルビットストリームに変換され、パケットエンコード186によってパケット化されてFIFOメモ

リ187に供給される。

【0077】FIFOメモリ179, 184, 187から読出されたビットストリームはマルチプレクサ（以下、MUXという）180によって時分割多重される。MUX180からのデジタルストリームは、誤り訂正回路188によって訂正符号が付加され、QPSK変調回路189によってデジタル変調された後アップコンバータ190に与えられる。アップコンバータ190はデジタル変調データを周波数変換して出力端子191から出力する。

【0078】一方、図19に示す受信側では、伝送信号は入力端子195を介してダウンコンバータ196に与えられる。ダウンコンバータ196によって伝送信号は周波数変換され、QPSK復調回路197によって元のデータに復調される。復調データは誤り訂正回路198によって誤り訂正された後デマルチプレクサ（以下、DEMUXという）199に与えられる。

【0079】デマルチプレクサ199はデパケットコントロール回路204に制御されて、入力されたデジタルストリームを各パケットストリームに分離する。画像Aに基づくパケットストリームはFIFOメモリ200を介してMPEGビデオデコード205に与えられ、復号化された後合成回路208に供給される。画像Bに基づくパケットストリームはFIFOメモリ201を介してMPEGビデオデコード206に与えられ、復号化された後合成回路208に供給される。また、音声A, Bに基づくパケットストリームはFIFOメモリ202を介してMPEGオーディオデコード207に供給される。MPEGオーディオデコード207は入力されたデータを復号化して出力端子209から音声出力として出力する。

【0080】FIFOメモリ203にはDEMUX199からデジタルデータに基づくパケットストリームが入力される。このパケットストリームはインターフェース（以下、I/Fという）210を介してバス211に供給される。CPU212はI/F210を介して入力されたデータをバス211を介してメモリ213に格納すると共に読出して解読する。CPU212は解読結果をグラフィックコントローラ214を介してVRAM215に出力する。VRAM215は解読結果を画像に展開して、画像データをグラフィックコントローラ24を介して合成回路208に出力する。

【0081】合成回路208は画像A, Bの画像データを合成すると共に、VRAM215からの画像データを合成して画像出力として出力端子216から出力する。この画像出力を図示しないディスプレイ装置に供給することにより、画像A, B及びデジタルデータに基づく画像を同時に画面上に表示させることができる。

【0082】画像表示はリモコンによって制御可能である。図示しないリモコンからの信号は制御マイコン217によって解読され、デパケットコントロール回路204に供給される。リモコン操作によってデパケット処理を制

御することができ、例えば、音声出力として音声Bを選択することができる。また、画像A、Bの一方のみを表示させることもできる。また、制御マイコン217の解読結果は、I/F218を介してCPU212にも供給される。CPU212は解読結果に基づいて画像生成を制御する。例えば、リモコン操作によってVRAM215からの画像データに基づく画像の表示位置等を指定することも可能である。このように、図19及び図20の装置によって、画像データ、音声データ及び他のデジタルデータを統一的に処理することができる。

【0083】このように、デジタル放送システムでは、画像データをMPEG方式を用いて圧縮して伝送することから、デコーダ側においてMPEGビデオデコーダが必要となる。図21はこのようなMPEGビデオデコーダを示すブロック図である。MPEGビデオデコーダの基本構成は、「日経エレクトロニクス、3月14日号、77ページから92ページに記載されており、更に、「インターフェース1992年8月号125ページから145ページにおいて詳述されている。図21のデコーダはこれらの記述に基づいたものである。また、図22はMPEG2方式のシンタックスを説明するための説明図である。図中、矢印によって符号化における予測の方向を示している。

【0084】MPEG2方式においては、所定枚数のフレーム画像でGOP (Group Of Picture) が構成される。GOPにはフレーム内符号化フレーム (Iピクチャ) が少なくとも1枚は含まれている。フレーム内符号化フレームIはDCTによって1フレームの画像データを符号化したものである。このフレーム内符号化フレームIから所定フレーム毎の1フレームの画像データは、前方予測符号化によって前方予測符号化フレーム (Pピクチャ) に変換される。更に、フレーム内符号化フレームI又は前方予測符号化フレームPと前方予測符号化フレームPとの間の各フレームの画像データは、前方及び後方の画像データを用いた両方向予測符号化によって両方向予測符号化フレーム (Bピクチャ) に変換される。

【0085】図21において、入力端子281を介して入力されたMPEGデータ列は、受信バッファ282に一時保持された後所定の復号レートで可変長デコーダ283に供給される。MPEGデータ列は可変長デコーダ283において可変長復号された後、逆量子化回路284において逆量子化され、更に、逆DCT回路285によって逆量子化されて元の空間座標軸データに戻される。入力されたMPEGデータ列がフレーム内符号化されたものである場合には、逆DCT回路285の出力はスイッチ287を介して出力端子289に出力される。

【0086】また、スイッチ287からの再生画像データはフレームメモリ290、291によって遅延されて予測器292乃至294に供給され、予測器294乃至292からは夫々後向き予測、双方向予測及び前向き予測による予測画

像がスイッチ288に供給されている。入力されたMPEGデータ列がフレーム間予測符号化されたものである場合には、逆DCT回路285の出力は予測誤差である。この場合には、スイッチ288は予測方向を示すデータに基づいて予測器292乃至294からの予測画像を選択して加算器286に与える。加算器286は予測画像と予測誤差とを加算することにより、フレーム画像を再生してスイッチ287を介して出力する。こうして、MPEGデータ列は復号化され、出力端子289を介して出力される。

【0087】このように、MPEG2方式のデコーダにおいては、予測画像を得るために、少なくとも2フレーム分のメモリが必要となる。このため、装置が高コストとなってしまう。

【0088】

【発明が解決しようとする課題】このように、上述した従来のテレビジョン受信機においては、多種多様の放送サービスに対応するために、各方式に対応した複数のデコーダが必要となる。そして、デジタル放送を受信するためのMPEG2に対応したデコーダ及びEDTV放送に対応したデコーダのいずれも大容量のメモリを必要とする。また、現行放送に対応したデコーダでも、高画質化の要求に応じて、3次元Y/C分離及び走査変換等を採用すると、大容量のメモリが必要となり、極めて高価になってしまうという問題点があった。

【0089】本発明はかかる問題点に鑑みてなされたものであって、ハードウェア規模の増大を抑制しながら、複数の放送方式に対応させて、高画質の画像を得ることができるテレビジョン受信機を提供することを目的とする。

【0090】 [発明の構成]

【課題を解決するための手段】本発明の請求項1に係るテレビジョン受信機は、複数の放送方式に夫々対応した複数のデコーダと、前記複数のデコーダに共用される記憶手段と、前記複数のデコーダのうちの所定のデコーダを選択して前記記憶手段と接続することにより選択したデコーダによるデコードを可能にする切換え手段と、この切換え手段によって選択されたデコーダからの映像信号に基づく表示を行う表示手段とを具備したものであり、本発明の請求項12に係るテレビジョン受信機は、複数の放送方式に夫々対応した複数のデコーダと、前記複数のデコーダに共用される記憶手段と、前記複数のデコーダのうちの所定のデコーダを選択して前記記憶手段と接続することにより選択したデコーダの機能を拡張する切換え手段と、この切換え手段によって選択されていない他のデコーダからの映像信号を縮小する圧縮手段と、前記切換え手段によって選択されたデコーダからの映像信号に基づく画面を親画面とし前記圧縮手段からの映像信号に基づく画面を子画面として多画面表示を可能にする表示手段とを具備したものである。

【0091】

【作用】本発明の請求項1においては、切換え手段によって複数のデコーダのうちの所定のデコーダが選択されて記憶手段に接続される。これにより、選択されたデコーダはデコード可能となり、対応した放送方式の映像信号をデコードして表示手段に与える。これにより、切換え手段によって選択されたデコーダに対応する放送方式の映像信号に基づく画像が表示される。

【0092】本発明の請求項12においては、切換え手段によって複数のデコーダのうちの所定のデコーダが選択されて記憶手段に接続される。これにより、選択されたデコーダは機能が拡張される。一方、選択されない他のデコーダがデコードした映像信号は圧縮手段に与えられて縮小される。表示手段は選択されたデコーダからの映像信号に基づく画面を親画面とし、圧縮手段からの映像信号に基づく画面を子画面として多画面表示する。

【0093】

【実施例】以下、図面を参照して本発明の実施例について説明する。図1は本発明に係るテレビジョン受信機の一実施例を示すブロック図である。

【0094】デジタル放送局301は例えば図20と同一構成のエンコーダを有しており、アンテナ303を介して放送波を送信する。この送信波は衛星304を介して各家庭に送信されるようになっている。アナログ放送局302は例えば図11と同一構成のエンコーダを有しており、NTSC放送波をアンテナ305を介して送出可能である。

【0095】本実施例のテレビジョン受信機311は、衛星304からのデジタル放送及びアンテナ305からのアナログ放送を同時に受信可能である。即ち、衛星304からのデジタル放送波はアンテナ312によって受信される。アンテナ312からのデジタル信号はデジタル復調回路313に供給され、デジタル復調回路313は入力されたデジタル信号を周波数シフトしてデジタル復調し、デパケット処理回路314に供給する。デパケット処理回路314は入力されたデジタルビットストリームをデパケット処理してMPEG方式のデータ例に変換してMPEGデコーダ315に出力する。

【0096】一方、アンテナ316に誘起したアナログ放送波はチューナ317に供給される。チューナ317は入力されたアナログ信号を選局してベースバンドの映像信号をNTSCデコーダ318に出力する。

【0097】本実施例においては、MPEGデコーダ315及びNTSCデコーダ318は、スイッチ319、320によって共通のメモリ部321に接続されるようになっている。スイッチ319、320は、コントローラ322に制御されて連動して動作し、デジタル放送信号をデコードする場合にはMPEGデコーダ315とメモリ321とを接続し、アナログ放送信号をデコードする場合にはNTSCデコーダ318とメモリ部321とを接続するようになっている。

【0098】MPEGデコーダ315はメモリ部321を用いて入力されたMPEGデータ列を復号化してスイッチ324の端子aに出力するようになっている。また、NTSCデコーダ318はメモリ部321を用いて入力されたアナログ信号をデコードしてスイッチ324の端子bに出力するようになっている。スイッチ324はコントローラ322に制御されて、MPEGデコーダ315の出力又はNTSCデコーダ318の出力を選択してモニタ325に出力する。モニタ325は表示画面326上にスイッチ324からの映像信号に基づく表示を表示するようになっている。

【0099】コントローラ322は端子323を介してユーザーの図示しないリモコン装置のキー操作に基づくリモコン信号が与えられ、このリモコン信号に基づいて、スイッチ319、320、メモリ部321及びスイッチ324を制御するようになっている。

【0100】図2は図1中のMPEGデコーダ315、スイッチ319、320、メモリ部321及びNTSCデコーダ318に含まれる3次元Y/C分離回路の具体的な構成を示すブロック図である。図2において図21及び図12と同一の構成要素には同一符号を付してある。

【0101】図2の破線部331は図21のMPEGデコーダからフレームメモリ290、291を削除した構成である。即ち、入力端子332を介して入力されたMPEGデータ列は受信バッファ282に供給される。受信バッファ282は入力されたMPEGデータ列を一時保持した後所定の復号レートで可変長デコーダ283に出力する。可変長デコーダ283はMPEGデータ列を可変長復号化して逆量子化回路284に与え、逆量子化回路284は入力されたデータを逆量子化処理して逆DCT回路285に出力する。逆DCT回路285は入力された逆量子化出力を逆DCT処理して、周波数軸のデータを空間座標軸データに戻す。逆DCT回路285の出力は加算器286及びスイッチ287に与えられる。なお、可変長デコーダ283は、入力されたデータ列がフレーム内符号化されたものであるか、フレーム間符号化されたものであるかを示すデータをスイッチ287に出力すると共に、フレーム間予測符号化における予測方向を示すデータをスイッチ288に出力するようになっている。

【0102】スイッチ287は、入力データがフレーム内符号化されたものである場合には、逆DCT回路285の出力を選択してデマルチプレクサ339に出力する。また、スイッチ287は入力データがフレーム間符号化されたものである場合には、加算器286の出力を選択して、端子333に出力するようになっている。端子333はスイッチ319の端子aに接続されている。一方、端子335はスイッチ320の端子aに接続されている。スイッチ319、320相互間にはメモリ部321を構成するフレームメモリ336、337が接続されている。スイッチ319、320はコントローラ322に制御されて、MPEGデコーダ315の動作時には端子aを選択し、NTSCデコーダ318

内の破線にて囲った3次元Y/C分離回路351の動作時には端子bを選択するようになっている。

【0103】フレームメモリ336はスイッチ287からの1フレーム分の再生データを保持してフレームメモリ337及び端子334に出力する。フレームメモリ337はフレームメモリ336の出力を1フレーム分保持して端子335に出力する。端子334は前向き予測器292及び双方向予測器293に接続され、端子335は双方向予測器293及び後向き予測器294に接続される。

【0104】前向き予測器292は、復号化フレームに対して前フレームの復号化データを用いた動き補償予測によって予測画像を求めてスイッチ288に出力し、後向き予測器294は、復号化フレームに対して後フレームの復号化データを用いた動き補償予測によって予測画像を求めてスイッチ288に出力する。また、双方向予測器293は復号化フレームに対して前後のフレームの復号化データを用いた動き補償予測によって予測画像を求めてスイッチ288に出力する。スイッチ288は可変長デコード283からの予測方向を示すデータに基づいて、予測器292乃至294の出力を選択して加算器286に出力するようになっている。

【0105】デマルチプレクサ339は復号化された画像データが入力され、Y信号とC信号とに分離して夫々出力端子341及びC補間回路340に出力する。C補間回路340は入力されたC信号を補間して出力端子342を介して出力するようになっている。

【0106】一方、入力端子352を介して入力されたNTSC方式の映像信号は、減算器226、225、231、加算器224及び2次元フィルタ223に与えられると共にスイッチ319の端子bにも与えられる。スイッチ319が端子bを選択した場合には、入力された映像信号はフレームメモリ336に与えられる。フレームメモリ336の出力は減算器226、225及び加算器224に与えられると共に、フレームメモリ337にも与えられる。フレームメモリ337の出力はスイッチ320の端子bを介して減算器231に与えられる。

【0107】減算器226は1フレーム期間前後の映像信号の差分を求めて動き検出回路230に出力する。減算器231は2フレーム期間前後の映像信号の差分を求めて動き検出回路230に出力する。動き検出回路230は減算器226、231の出力に基づいて動きを検出して、動き検出信号をMIX228、229に出力する。

【0108】加算器224は1フレーム期間前後の映像信号の和を求めて静画時の輝度信号としてMIX228に出力する。また、減算器225は1フレーム前後の映像信号の差を求めて静画時の色信号としてMIX229に出力する。2次元フィルタ223は入力映像信号を2次元フィルタリング処理して動画時の輝度信号及び色信号を夫々MIX228、229に出力するようになっている。MIX228、229は動き検出回路230からの動き検出信号に基づ

く混合比で入力されたY信号及びC信号を合成して、出力端子356、357に出力するようになっている。

【0109】ところで、メモリ部321において記憶するデータ量はMPEG方式とNTSC方式とは異なる。図3はこれらの方式の画像フォーマットを示す説明図であり、図3(a)はMPEG2方式を示し、図3(b)はNTSC方式を示している。

【0110】MPEG2方式は、解像度を示すレベル及び圧縮手法の数を示すプロファイルによって11の仕様に分類される。通信、放送又はコンピュータの分野において有効な仕様としてMP@ML(メインプロファイルメインレベル)がある。このMP@MLでは、図3に示すように、輝度信号Yは480ライン×720画素で色差信号Cr、Cbはいずれも240ライン×360画素であり、フレームメモリとしては480ライン×1080画素分の容量が必要となる。また、NTSC方式では、有効画素は480ライン×760画素である。従って、MPEG2方式のビデオ信号をデコードするために必要なメモリ容量はNTSC方式の映像信号をデコードするために必要なメモリ容量よりも大きい。このため、メモリ部321の各フレームメモリ336、337はMPEG2方式の映像信号を考慮した容量となっている。

【0111】次に、このように構成された実施例の動作について図4の説明図を参照して説明する。

【0112】ユーザーがデジタル放送の受信を希望するものとする。この場合には、ユーザーのリモコン操作に基づくリモコン信号が端子323を介してコントローラ322に供給されると、コントローラ322はスイッチ319、320を制御して端子aを選択させる。これにより、メモリ部321はMPEGデータのデコードに用いられる。また、コントローラ322は、メモリ部321の各フレームメモリ336、337をMPEG方式の映像信号の1フレーム分の記憶容量に設定する。

【0113】アンテナ312に誘起したデジタル放送波はデジタル復調回路313において周波数シフトされてデジタル復調される。デジタル復調回路313からのベースバンドのデジタルストリームはデパケット処理回路314に供給されてデパケット処理され、MPEG2方式のシンタックスのデータ列に変換される。デパケット処理回路314からのMPEGデータ列は図2の端子332を介してMPEGデコーダ315の受信バッファ282に供給される。

【0114】このMPEGデータ列は、受信バッファ282に一時保持された後所定の復号レートで可変長デコード283に供給される。MPEGデータ列は可変長デコード283において可変長復号された後、逆量子化回路284において逆量子化され、更に、逆DCT回路285によって逆量子化されて元の空間座標軸データに戻される。入力されたMPEGデータ列がフレーム内符号化されたものである場合には、逆DCT回路285の出力はスイッチ

287 を介してデマルチプレクサ339 に出力される。

【0115】また、スイッチ287 からの再生画像データは端子333 を介してスイッチ319 の端子aに供給される。スイッチ319, 320 は端子aを選択しており、加算器287からの出力はスイッチ319 を介してフレームメモリ336 に供給される。フレームメモリ336 は加算器287 の出力を1フレーム分保持し、フレームメモリ337 はフレームメモリ336 の出力を1フレーム分保持する。フレームメモリ336, 337 によって記憶された画像信号は端子334, 335 を介して予測器292 乃至294 に供給され、予測器294 乃至292 からは夫々後向き予測、双方向予測及び前向き予測による予測画像がスイッチ288 に供給される。

【0116】入力されたMPEGデータ列がフレーム間予測符号化されたものである場合には、逆DCT回路285 の出力は予測誤差である。この場合には、スイッチ288 は予測方向を示すデータに基づいて予測器292 乃至294 からの予測画像を選択して加算器286 に与える。加算器286 は予測画像と予測誤差とを加算することにより、フレーム画像を再生してスイッチ287 を介して出力する。こうして、MPEGデータ列は復号化されて、デマルチプレクサ339 に与えられる。デマルチプレクサ339 は復号化された画像信号をY信号とC信号とに分離する。デマルチプレクサ339 からのY信号は出力端子341 を介してそのまま出力され、C信号はC補間回路340 によって補間された後出力端子342 を介して出力される。

【0117】出力端子341, 342 からのY信号及びC信号は図1のスイッチ324 を介してモニタ325 に供給される。モニタ325 の表示画面326 上には、ディジタル放送に基づく画像が映出される。即ち、ディジタル放送が飛越し走査信号である場合には、図4(a)に示す飛越し走査のディジタル放送画面が表示される。また、ディジタル放送が順次走査信号である場合には、図4(b)に示す順次走査のディジタル放送画面が表示される。

【0118】ここで、ユーザーが現行NTSC放送を受信するためのリモコン操作を行うものとする。そうすると、コントローラ322 はスイッチ319, 320 を制御して端子bを選択させると共に、フレームメモリ336, 337 の遅延量をNTSC信号の1フレーム期間に一致させる。

【0119】アンテナ316 に誘起した現行アナログ放送波はチューナ317 に与えられて復調される。チューナ317 からのベースバンド映像信号はNTSCデコーダ318 の端子352 に供給される。端子352 はスイッチ319 の端子bに接続されており、入力されたNTSC方式の映像信号は、スイッチ319 を介してフレームメモリ336 に供給される。フレームメモリ336 によって入力映像信号は1フレーム期間遅延されて、加算器224、減算器225, 226 及びフレームメモリ337 に与えられる。NTSC方式の映像信号は色信号が1フレーム期間前後で反転して

いるので、加算器224 においてフレームメモリ336 の入出力を加算することによりY信号が得られる。また、減算器225 においてフレームメモリ336 の入出力同士を減算することによりC信号が得られる。加算器224 の出力は静画時の輝度信号YとしてMI X228 に与えられ、減算器225 の出力は静画時の色信号CとしてMI X229 に与えられる。

【0120】一方、入力端子352 からの映像信号は2次元フィルタ223 にも与えられている。2次元フィルタ223 によって、映像信号はY信号とC信号とに分離され、夫々動画時の輝度信号Y及び色信号CとしてMI X228, 229 に供給される。

【0121】入力端子352 からの映像信号は減算器226 にも与えられる。減算器226 は1フレーム期間前後の映像信号を減算し、現在入力されている画像が動いているか静止しているかを検出する。減算器226 からの検出信号は動き検出回路230 に与えられる。動き検出回路230 は減算器226 の検出信号の低域成分を抽出して動き成分とする。また、フレームメモリ336 からの遅延信号はフレームメモリ337 によって1フレーム期間遅延されて減算器231 に与えられる。減算器231 には入力端子352 からの映像信号も与えられており、減算器231 によって2フレーム期間前後の映像信号の差が求められる。2フレーム前後のC信号は同相であるので、減算器231 が求めた2フレーム間の差は動き成分であると考えられる。動き検出回路230 は、減算器226 からの検出信号を低域成分の動き検出信号として用い、減算器231 からの検出信号を全帯域の動き検出信号として用いて動きの判定を行う。なお、動き検出回路230 は、1フレーム間の差分と2フレーム間の差分との最大値演算によって正確な動き検出を行っている。

【0122】動き検出回路230 の出力信号はMI X228, 229 に与えられる。MI X228 は動き検出回路230 の出力に基づいて、加算器224 からのY信号と2次元フィルタ223 からのY信号とを混合してY信号を出力端子356 に出力する。また、MI X229 は動き検出回路230 の出力に基づいて、減算器225 からのC信号と2次元フィルタ223 からのC信号とを混合してC信号を出力端子357 に出力する。

【0123】出力端子356, 357 からのY信号及びC信号は図1のスイッチ324 を介してモニタ325 に供給される。こうして、モニタ325 の表示画面326 上には、現行アナログ放送に基づく画像(図4(c))が映出される。

【0124】このように、本実施例においては、メモリ部321 をディジタル放送及びNTSC放送受信用に共用化し、スイッチ319, 320 によってMPEGデコーダ315 とNTSCデコーダ318 用のメモリとして切替えて用いており、1つのメモリ部を用いて2つの放送波を受信して高画質の画像を表示することを可能にしている。メ

メモリ部を共用化することにより複数の放送方式に対応させる場合でも、ハードウェアの規模の増大を抑制して安価なシステムを構成することができる。

【0125】図5は本発明の他の実施例を示すブロック図である。図5において図2と同一の構成要素には同一符号を付して説明を省略する。本実施例はデジタル放送を受信すると共に、NTSC放送を受信して動き適応走査変換するものに適用した例であり、図1のNTSCデコーダ318に代えて走査変換回路361を採用した点が図1の実施例と異なる。

【0126】図5の走査変換回路361は図13に示す走査変換回路からフィールドメモリ243及びフレームメモリ246を削除した構成である。即ち、チューナ317（図1参照）からのNTSC方式の映像信号は入力端子352を介して走査変換回路361のNTSCデコーダ242に供給される。NTSCデコーダ242は、図10に示すデコーダと同一構成であり、入力された映像信号をデコードしてY信号及び色差信号（I、Q信号）を出力する。本実施例においては、NTSCデコーダ242からのY信号はスイッチ319の端子bに供給されるようになっている。また、本実施例においては、フレームメモリ336はコントローラ322に制御されて、走査変換回路361の動作時には遅延量がNTSC信号の1フィールド期間に設定されるようになっている。フレームメモリ336は、スイッチ319を介して入力されたY信号を1フィールド期間遅延させてフレームメモリ337、動き検出回路247及びMI X244に出力する。

【0127】フレームメモリ337はフレームメモリ336からのY信号を1フレーム期間遅延させてスイッチ320の端子bを介して出力する。スイッチ320からのY信号は動き検出回路247に与えられるようになっている。動き検出回路247にはNTSCデコーダ242からのY信号も入力されており、動き検出回路247は、Y信号のフィールド間差及びフレーム間差を求め、求めた差分に基づいて入力映像信号の動き成分を検出する。

【0128】一方、NTSCデコーダ242からのY信号はライン補間回路245にも与えられる。ライン補間回路245は1ライン前後の走査線の和を算出してMI X244に出力する。MI X244は動き検出回路247からの動き検出信号が与えられ、動き検出信号によって静止画が入力されたことが示された場合には、フレームメモリ336の出力を選択し、動画が入力されたことが示された場合には、ライン補間回路245の出力を選択して倍速メモリ248に出力する。

【0129】倍速メモリ249にはNTSCデコーダ242からのY信号が供給される。倍速メモリ248、249は入力されたY信号を書込みクロックの2倍の周波数の読出しクロックを用いて読出すことにより、入力されたY信号を倍速に変換してセクタ250に出力するようになっている。セクタ250は倍速メモリ248、249からのY

信号を1/2走査期間毎に切換え選択して出力端子251から出力する。

【0130】一方、NTSCデコーダ242からのI信号及びQ信号はセクタ252に与えられる。セクタ252は色副搬送波に同期したクロックを用いて入力されたI、Q信号を時分割に倍速メモリ253に出力する。倍速メモリ253はセクタ252の出力を読込むと共に、読込みの2倍の速度で読出してセクタ254に出力する。セクタ254は周波数が $2f_{sc}$ のクロックを用いてI信号とQ信号とを f_{sc} タイミングで分離して、夫々出力端子256、257から出力するようになっている。

【0131】次に、このように構成された実施例の動作について図6の説明図を参照して説明する。

【0132】ユーザーが図示しないリモコン装置を操作してデジタル放送を受信するためのキー操作を行った場合には、コントローラ322によってスイッチ319、320は端子aを選択する。また、コントローラ322は各フレームメモリ336、337の記憶容量をMPEG2の画像信号の1フレーム分に設定する。この場合には、図1の実施例と同様に、MPEGデコーダ315によってデコードが行われ、モニタ325の表示画面326には、図6

(a)又は(b)に示す飛越し走査デジタル放送又は順次走査デジタル放送画面が表示される。

【0133】一方、ユーザー操作によって現行アナログ放送の受信が指定されるものとする。この場合には、コントローラ322はスイッチ319、320に端子bを選択させる。更に、コントローラ322はフレームメモリ336による遅延量をNTSC方式のY信号の1フィールド期間に設定し、フレームメモリ337の遅延量はNTSC方式のY信号の1フレーム期間に設定する。

【0134】入力端子352を介して入力されたNTSC方式の映像信号はNTSCデコーダ242に供給されてデコードされる。NTSCデコーダ242からのY信号はスイッチ319を介してフレームメモリ336に供給される。フレームメモリ336によってY信号は1フィールド期間遅延されてMI X244に与えられる。Y信号はライン補間回路245にも与えられ、ライン補間回路245は1ライン前後の走査線の和を算出してMI X244に出力する。

【0135】フレームメモリ336の出力はフレームメモリ337によって1フレーム期間遅延され、スイッチ320を介して出力される。フレームメモリ336、337の出力は動き検出回路247に供給され、動き検出回路247はY信号のフレーム間差を求める。また、動き検出回路247にはNTSCデコーダ242からのY信号も入力されており、動き検出回路247は、Y信号のフィールド間差も求め、求めたフレーム間差及びフィールド間差に基づいて入力映像信号の動き成分を検出する。

【0136】動き検出回路247からの動き検出信号はMI X244に与えられ、動き検出信号に基づいてフレームメモリ336の出力とライン補間回路245の出力とが混合

されて倍速メモリ248に与えられる。一方、倍速メモリ249にはNTSCデコーダ242からのY信号が供給される。倍速メモリ248, 249は入力されたY信号を倍速に変換してセクタ250に与える。セクタ250によって倍速メモリ248, 249からのY信号は1/2走査期間毎に切換えられて出力端子251から出力される。

【0137】一方、NTSCデコーダ242からのI信号及びQ信号はセクタ252に与えられ、色副搬送波に同期したクロックによって交互に出力される。倍速メモリ253はセクタ252の出力を倍速に変換してセクタ254に与え、セクタ254は周波数が $2f_{sc}$ のクロックを用いてI信号とQ信号とを f_{sc} タイミングで分離して、夫々出力端子256, 257から出力する。

【0138】出力端子251, 256, 257からのY信号及びI, Q信号はスイッチ324(図1参照)を介してモニタ325に供給される。こうして、モニタ325の表示画面326上には、現行アナログ放送画像を順次走査に変換した画面(図6(c))が映出される。

【0139】このように、本実施例においては、MPEGデコーダと走査変換回路用のメモリを共用化することにより、1つのメモリ部を用いて2種類の放送のデコードを可能にしている。他の作用及び効果は図1の実施例と同様である。

【0140】図7は本発明の他の実施例を示すブロック図である。図7において図2と同一の構成要素には同一符号を付して説明を省略する。本実施例はデジタル放送を受信すると共に、第2世代EDTV信号を受信して3→4走査線変換するものに適用した例であり、図1のNTSCデコーダ318に代えて3→4走査線変換回路386を採用すると共に、メモリ部321に代えてメモリ部371を採用した点が図1の実施例と異なる。

【0141】本実施例のメモリ部371は、4つのフィールドメモリ372乃至375及びスイッチ376乃至384によって構成されている。フィールドメモリ372は入力端がスイッチ319に接続され、出力端がスイッチ376を介してフィールドメモリ373の入力端に接続される。フィールドメモリ373の出力端はスイッチ377を介してフィールドメモリ374の入力端に接続され、フィールドメモリ374の出力端はスイッチ378を介してフィールドメモリ375の入力端に接続される。フィールドメモリ375の出力端はスイッチ320に接続されている。これらのスイッチ319, 320, 376乃至384はコントローラ322によって制御されるようになっている。また、コントローラ322はフィールドメモリ372乃至375の遅延量をデジタル放送の1フィールドに設定するか又はNTSC放送の1フィールドに設定することができるようになっている。

【0142】なお、MPEGデコーダのスイッチ287(図2参照)に接続された端子333はスイッチ319の端子aに接続され、後向き予測器294及び双方向予測器29

3に接続された端子335はスイッチ320の端子aに接続され、前向き予測器292及び双方向予測器293に接続された端子334はフィールドメモリ374の入力端に接続されるようになっている。

【0143】一方、図7の走査線変換回路386は図16に示す走査線変換回路からフィールドメモリ262乃至265を削除した構成である。即ち、チューナ317(図1参照)からのNTSC方式の映像信号は入力端子385を介して走査線変換回路386の回路261に供給される。回路261は受信した第2世代EDTV信号から水平解像度を改善した主面部信号、時間軸を元に戻した垂直補強信号、I, Q信号及び補間信号を出力するようになっている。主面部信号はスイッチ319の端子bを介してフィールドメモリ372に供給され、フィールドメモリ372の出力信号はスイッチ376に出力されると共に、スイッチ379を介して倍速メモリ267に供給されるようになっている。補間信号はスイッチ380を介してフィールドメモリ373に供給され、フィールドメモリ373の出力信号はスイッチ381を介して倍速メモリ268に供給されるようになっている。また、垂直補強信号はスイッチ382を介してフィールドメモリ374に供給され、フィールドメモリ374の出力信号はスイッチ378に出力されると共に、スイッチ383を介して倍速メモリ269に供給されるようになっている。また、I, Q信号はセクタ266に供給される。セクタ266はI, Q信号を色副搬送波に同期させて時分割多重し、スイッチ384を介してフィールドメモリ375に出力する。フィールドメモリ375の出力信号はスイッチ320を介して倍速メモリ270に供給されるようになっている。

【0144】フィールドメモリ372乃至375は入力された信号の4ラインに1本のタイミングで仮の走査線を挿入しながら、入力された信号を記憶する。倍速メモリ267乃至270は夫々フィールドメモリ372乃至375から読出されて書込まれた信号を、1/2の時間で読出して倍速に変換する。スイッチ271は倍速メモリ267, 268から読出されたデータを1/2水平走査期間で切換えて交互に垂直補間回路272に出力する。垂直補間回路272は挿入された仮の走査線を含めて補間を行って、加算器132に出力する。また、垂直補間回路273, 274は夫々倍速メモリ269, 270から読出されたデータを補間して、Vシフト131又はセクタ275に出力する。Vシフト131は垂直補間された垂直補強信号を垂直高域にシフトして加算器132に出力する。加算器132は垂直補間回路272の出力とVシフト131の出力とを合成して出力端子276を介して出力する。

【0145】垂直補間回路274は倍速メモリ270から読出された信号を補間してセクタ275に出力する。セクタ275は色副搬送波の2倍の周波数の信号に同期させて垂直補間回路274の出力を交互に出力することによりI, Q信号を分離して夫々出力端子277, 278から出力

するようになっている。

【0146】次に、このように構成された実施例の動作について説明する。

【0147】ユーザーが図示しないリモコン装置を操作してデジタル放送を受信するためのキー操作を行った場合には、コントローラ322によってスイッチ319, 320は端子aを選択する。また、コントローラ322はフィールドメモリ372乃至375の記憶容量をデジタル放送の1フィールド分に設定すると共に、スイッチ376乃至378をオンにし、スイッチ379乃至384をオフにする。これにより、フィールドメモリ372, 373によって図2のフレームメモリ336と同様の画像データが記憶され、フィールドメモリ374, 375によって図2のフレームメモリ337と同様の画像データが記憶される。この場合には、図1の実施例と同様に、MPEGデコーダ315によってデコードが行われ、モニタ325の表示画面326には、デジタル放送に基づく表示が行われる。

【0148】一方、ユーザー操作によって第2世代EDTV放送の受信が指定されるものとする。この場合には、コントローラ322はスイッチ319, 320に端子bを選択させる。更に、コントローラ322はフィールドメモリ372乃至375による遅延量を第2世代EDTV信号の1フィールド期間に設定すると共に、スイッチ376乃至378をオフにし、スイッチ379乃至384をオンにする。

【0149】入力端子385からの第2世代EDTV信号は回路261に供給され、回路261からは水平解像度が改善された主画面部信号、時間軸が元に戻された垂直補強信号、I、Q信号及び補間信号が出力される。これらの主画面部信号、補間信号及び垂直補強信号は夫々スイッチ319の端子b及びスイッチ380, 382を介してフィールドメモリ372乃至374に供給される。フィールドメモリ372乃至374は入力された信号の4ラインに1本のタイミングで仮の走査線を挿入しながら、入力された信号を記憶する。これにより、画像は垂直方向に伸長される。

【0150】一方、回路261からのI、Q信号はセレクタ266に与えられて色副搬送波に同期して時分割多重され、C信号としてスイッチ384を介してフィールドメモリ375に与えられる。フィールドメモリ375において、C信号の4ラインに1ラインのタイミングで仮の走査線が挿入されながら記憶が行われて、垂直方向に伸長される。

【0151】フィールドメモリ372乃至375から読出された信号は、夫々、スイッチ379, 381, 383及びスイッチ320の端子bを介して倍速メモリ267乃至270に供給される。倍速メモリ267乃至270は入力された信号を倍速に変換する。倍速メモリ267, 268から読出されたデータは1/2水平走査期間で切換わるスイッチ271によって交互に選択されて垂直補間回路272に与えられ、垂直補間回路272によって補間される。一方、倍速メモリ269から読出された垂直補強信号は垂直補間回路273

によって補間され、更に、Vシフト131によって垂直高域にシフトされる。Vシフト131からの垂直補強信号は加算器132によって主画面部信号と合成されて出力端子276から出力される。

【0152】一方、倍速メモリ270からのC信号は垂直補間回路274によって補間されてセレクタ275に供給され、色副搬送波の2倍の周波数の信号に同期して交互に出力される。こうして、出力端子277, 278からはI信号及びQ信号が出力される。

【0153】このように、本実施例においては、デジタル放送信号を復号するMPEGデコーダと第2世代EDTV信号デコーダの3→4走査線変換回路用のメモリを共用化して、ハード規模の増大を抑制している。他の作用及び効果は図1の実施例と同様である。

【0154】図8は本発明の他の実施例を示すブロック図である。本実施例はデジタル放送に基づく画像とアナログ放送に基づく画像とを合成して同時に表示することを可能にしたものである。図8において図1と同一の構成要素には同一符号を付して説明を省略する。

【0155】入力端子391, 392には夫々デジタル放送及びNTSC放送に基づく映像信号が入力される。これらのデジタル映像信号及びNTSC映像信号は夫々MPEGデコーダ401及びNTSCデコーダ402に与えられる。デコーダ401, 402はスイッチ319, 320を介して共通のメモリ部321に接続されている。MPEGデコーダ401は図2のMPEGデコーダ315と同様の構成であり、入力されたデジタル映像信号をデコードしてスイッチ393の端子a及びスイッチ394の端子bに出力する。NTSCデコーダ402は図2のNTSCデコーダ318と同様の構成であり、入力されたNTSC映像信号をデコードしてスイッチ393の端子b及びスイッチ394の端子aに出力する。

【0156】なお、MPEGデコーダ401はコントローラ322に制御されて、フレームメモリを用いた復号化、即ち、前方予測及び後方予測を用いた復号化を停止して、フレーム内符号化フレームの復号化のみを行うことができるようになっている。また、NTSCデコーダ402はコントローラ322に制御されて、動き適応Y/C分離処理を停止して、動画モード時のフィールド内Y/C分離処理のみを行うことができるようになっている。なお、コントローラ322による動画モード時の設定は、動き検出回路にゲートを追加することで容易に実現することができる。

【0157】スイッチ393, 394はコントローラ322によって切換え制御される。コントローラ322は端子323からのリモコン信号に基づいて、デジタル放送に基づく親画面とNTSC放送に基づく子画面とを同時に表示させることが指示された場合には、スイッチ393, 394に端子aを選択させ、NTSC放送に基づく親画面とデジタル放送に基づく子画面とを同時に表示させること

が指示された場合には、スイッチ393, 394に端子bを選択させるようになっている。なお、コントローラ322は、スイッチ393, 394に端子aを選択させる場合には、スイッチ319, 320にも端子aを選択させ、スイッチ393, 394に端子bを選択させる場合には、スイッチ319, 320にも端子bを選択させるようになっている。

【0158】スイッチ393からの信号は親画面信号としてセクタ395並びに水平及び垂直コントローラ399に供給される。スイッチ394からの信号は子画面用の信号として水平及び垂直処理回路396並びに水平及び垂直コントローラ397に供給される。水平及び垂直処理回路396は入力された映像信号を水平及び垂直方向に圧縮してメモリ398に出力する。水平及び垂直コントローラ397は入力された映像信号から水平及び垂直同期信号を抽出してメモリ398の書込みアドレスを発生するようになっている。一方、水平及び垂直コントローラ399はスイッチ393からの親画面信号から水平及び垂直同期信号を抽出してメモリ398の読出しアドレスを発生するようになっている。

【0159】メモリ398は水平及び垂直コントローラ397からの書込みアドレスに基づいて子画面用の映像信号を書込み、水平及び垂直コントローラ399からの読出しアドレスに基づいて格納された映像信号を読出す。メモリ398の書込み及び読出しを非同期で行うことにより、親画面と子画面とを合成することができる。メモリ398からの映像信号は子画面信号としてセクタ395に供給される。セクタ395は、水平及び垂直コントローラ399によって親画面信号のタイミングで制御され、親画面期間に親画面信号を選択し、子画面期間に子画面信号を選択して出力端子400に出力するようになっている。出力端子400からの映像信号は図示しないモニタに供給されるようになっている。

【0160】次に、このように構成された実施例の動作について図9の説明図を参照して説明する。図9はモニタの表示画面上の表示を示している。

【0161】入力端子391, 392を介して入力されたデジタル映像信号及びNTSC映像信号は夫々MPEGデコーダ401及びNTSCデコーダ402に供給される。ここで、ユーザーが親画面としてデジタル放送に基づく画像を表示させ、子画面としてNTSC放送に基づく画像を表示させるためのリモコン操作を行うものとする。コントローラ322は端子323からのリモコン信号に基づいて、スイッチ319, 320に端子aを選択させると共に、スイッチ393, 394にも端子aを選択させる。また、コントローラ322はメモリ部321の2つのフレームメモリ336, 337(図2参照)の容量を夫々デジタル放送の1フレーム分に設定する。これにより、MPEGデコーダ401にメモリ部321のフレームメモリ336, 337が接続されることになり、MPEGデコーダ401は入力されたデジタル映像信号をデコードしてスイッチ39

3の端子aを介してセクタ395並びに水平及び垂直コントローラ399に出力する。

【0162】一方、NTSCデコーダ402にはメモリ部321が接続されていない。このため、NTSCデコーダ402は2つのフレームメモリを用いた3次元Y/C分離処理を行うことができない。コントローラ322はNTSCデコーダ402を制御して、Y/C分離処理における動き適応動作を停止させて強制的に動画モードに設定する。これにより、NTSCデコーダ402は2次元フィルタ223(図2参照)を用いたフィールド内の2次元Y/C分離処理によってNTSC映像信号をデコードする。NTSCデコーダ402からの映像信号はスイッチ394の端子aを介して水平及び垂直処理回路396並びに水平及び垂直コントローラ397に供給される。

【0163】水平及び垂直処理回路396によって、デコードされたNTSC映像信号は水平及び垂直方向に圧縮され、水平及び垂直コントローラ397からの書込みアドレスに基づいてメモリ398に書込まれる。水平及び垂直コントローラ399は親画面信号に同期した読出しアドレスをメモリ398に与えてメモリ398に格納された映像信号を読出す。メモリ398からのNTSC方式の縮小映像信号は、子画面信号としてセクタ395に出力される。

【0164】セクタ395は親画面期間にスイッチ393からの親画面信号を選択し、子画面期間にメモリ398からの子画面信号を選択して、出力端子400を介して図示しないモニタに出力する。図9(a), (b)はこの場合のモニタの表示画面上の表示を示している。表示画面上には、図9(a), (b)に示すように、親画面として飛越し走査又は順次走査のデジタル放送画面が表示され、子画面領域に飛越し走査又は順次走査のNTSCアナログ放送画面が縮小されて表示される。なお、NTSC映像信号のデコード時に、フレームメモリを用いた3次元Y/C分離処理を行っていないが、デコードした映像信号を縮小して子画面表示していることから、十分な画質を得ることができる。

【0165】次に、ユーザーが親画面としてNTSC放送に基づく画像を表示させ、子画面としてデジタル放送に基づく画像を表示させるためのリモコン操作を行うものとする。コントローラ322は端子323は、スイッチ319, 320, 393, 394に端子bを選択させると共に、メモリ部321の各フレームメモリ336, 337の遅延量をNTSC映像信号の1フレーム期間に設定する。これにより、NTSCデコーダ402にメモリ部321のフレームメモリ336, 337が接続されることになり、NTSCデコーダ402は入力されたNTSC映像信号に対して、動き適応3次元Y/C分離処理を施してデコードし、スイッチ393の端子bを介してセクタ395並びに水平及び垂直コントローラ399に出力する。

【0166】一方、MPEGデコーダ401にはメモリ部321が接続されないことから、MPEGデコーダ401は

フレーム間符号化フレームを復号化することができない。この場合には、MPEGデコーダ401は、コントローラ322に制御されて、入力されたデジタル映像信号のフレーム内符号化フレーム（Iピクチャ）のみを復号化する。従って、MPEGデコーダ401からは、例えば12フレーム毎に映像信号が出力される準動画が得られる。この準動画の映像信号は子画面用の映像信号としてスイッチ394の端子bを介して水平及び垂直処理回路396並びに水平及び垂直コントローラ397に供給される。

【0167】子画面用の映像信号は水平及び垂直処理回路396によって縮小されてメモリ398に与えられる。水平及び垂直コントローラ397はメモリ398の書き込みを1ピクチャに同期させて行う。メモリ398からの読出しは水平及び垂直コントローラ399によって親画面信号に同期して行われ、メモリ398からの準動画の縮小映像信号は子画面信号としてセクタ395に与えられる。セクタ395は親画面期間にスイッチ393の出力を選択し、子画面期間にメモリ398の出力を選択して、出力端子400を介してモニタに供給する。図9(c)、(d)はこの場合の表示画面上の表示を示している。図9(a)、

(b)に示すように、表示画面上には、親画面として飛越し走査又は順次走査のNTSC放送画面が表示され、子画面領域には飛越し走査又は順次走査のデジタル放送に基づく準動画が縮小されて表示される。

【0168】このように、本実施例においては、メモリ部321を2つの放送信号のデコードに共用化すると共に、メモリ部321をデコードに用いないデコーダからの映像信号については、縮小表示させており、画質を劣化させることなく、また、ハード規模の増大を抑制して2画面を同時に表示させることができる。

【0169】図23は本発明の他の実施例を示すブロック図である。図23において図1と同一の構成要素には同一符号を付して説明を省略する。従来例においては衛星を利用したデジタル放送について説明したが、地上波によるデジタル放送も検討されている。本実施例はデジタル放送とアナログ放送とが混在して地上波によって伝送される場合に適用したものである。

【0170】本実施例はスイッチ411及びアナログ/デジタル判定回路412が設けられた点が図1の実施例と異なる。なお、本実施例においては、デジタル放送局301のアンテナ303は地上波を発生し、この地上波はアンテナ316によって受信可能であるものとする。

【0171】スイッチ411は、コントローラ322に制御されてアンテナ312、316に誘起した信号の一方を選択してデジタル復調回路313に供給するようになっている。アナログ/デジタル判定回路412にはデジタル復調回路313及びNTSCデコーダ318の出力が与えられる。デジタル復調回路313は、QPSK復調回路等に設けられている位相比較器がロックしているか否かを示す検出信号をアナログ/デジタル判定回路412に出

力する。また、NTSCデコーダ318は、入力された映像信号に対して同期分離を行い、同期信号の周期を検出して、入力信号に所定の同期信号が含まれているか否かを示す検出信号をアナログ/デジタル判定回路412に出力するようになっている。

【0172】アナログ/デジタル判定回路412は、デジタル復調回路313からの検出信号に基づいて、デジタル復調回路313の位相比較器がロックしていることが示された場合には、地上波によってデジタル放送が伝送されていることを示す判定信号をコントローラ322に出力する。また、アナログ/デジタル判定回路412は、入力信号に所定の同期信号が含まれていることを示す検出信号が入力された場合には、地上波によってアナログ放送が伝送されていることを示す判定信号をコントローラ322に出力するようになっている。コントローラ322は判定信号に基づいてスイッチ411の切換えを制御すると共に、各種制御を切換えるようになっている。

【0173】このように構成された実施例においては、アンテナ316に誘起した地上波の信号はチューナ317に与えられると共に、スイッチ411を介してデジタル復調回路313にも与えられる。チューナ317は地上波によって伝送された信号を選局してNTSCデコーダ318に出力する。NTSCデコーダ318は同期分離を行い、入力された信号に所定の同期信号が含まれているか否かを検出する。一方、デジタル復調回路313は入力された信号に対して位相比較器がロックするか否かを検出する。

【0174】デジタル復調回路313及びNTSCデコーダ318からの検出信号はアナログ/デジタル判定回路412に供給されて、地上波によってデジタル放送が行われているか又はアナログ放送が行われているかが判定される。アナログ/デジタル判定回路412からの判定信号はコントローラ322に与えられて、スイッチ411が切換制御されると共に、各種制御が切換えられる。

【0175】他の作用及び効果は図1の実施例と同様である。

【0176】なお、上記各実施例においては、2種類の放送波を受信する例について説明したが、3種類以上の放送方式に対応させることができることは明らかである。

【0177】

【発明の効果】以上説明したように本発明によれば、ハードウェア規模の増大を抑制しながら、放送サービスの拡張に柔軟に対応することができるという効果を有する。

【図面の簡単な説明】

【図1】本発明に係るテレビジョン受信機の一実施例を示すブロック図。

【図2】図1中のMPEGデコーダ315、スイッチ319、320、メモリ部321及びNTSCデコーダ318に含

まれる3次元Y/C分離回路の具体的な構成を示すブロック図。

【図3】実施例を説明するための説明図。

【図4】実施例の動作を説明するための説明図。

【図5】本発明の他の実施例を示すブロック図。

【図6】図5の実施例の動作を説明するための説明図。

【図7】本発明の他の実施例を示すブロック図。

【図8】本発明の他の実施例を示すブロック図。

【図9】図8の実施例の動作を説明するための説明図。

【図10】現行NTSC放送を受信可能な従来のテレビジョン受信機を示すブロック図。

【図11】NTSC信号を発生するエンコーダを示すブロック図。

【図12】3次元Y/C分離回路を示すブロック図。

【図13】走査変換回路を示すブロック図。

【図14】第2世代EDTV信号を発生するエンコーダ

を示すブロック図。

【図15】第2世代EDTV方式に対応した従来のテレビジョン受信機を示すブロック図。

【図16】走査線変換回路を示すブロック図。

【図17】ISDBシステムを示すブロック図。

【図18】ISDBの層構造を示す説明図。

【図19】ISDBのデコーダを示すブロック図。

【図20】ISDBのエンコーダを示すブロック図。

【図21】MPEGデコーダを示すブロック図。

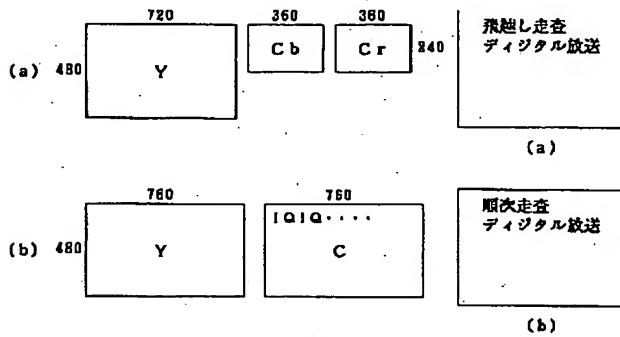
【図22】MPEG2方式のシンタックスを説明するための説明図。

【図23】本発明の他の実施例を示すブロック図。

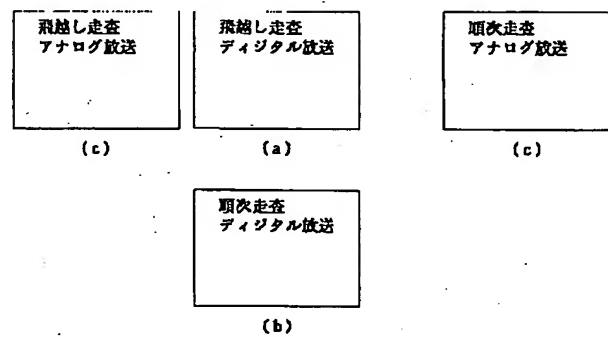
【符号の説明】

311 …テレビジョン受信機、315 …MPEGデコーダ、
318 …NTSCデコーダ、319, 320, 324 …スイッチ、
321 …メモリ部、322 …コントローラ

【図3】

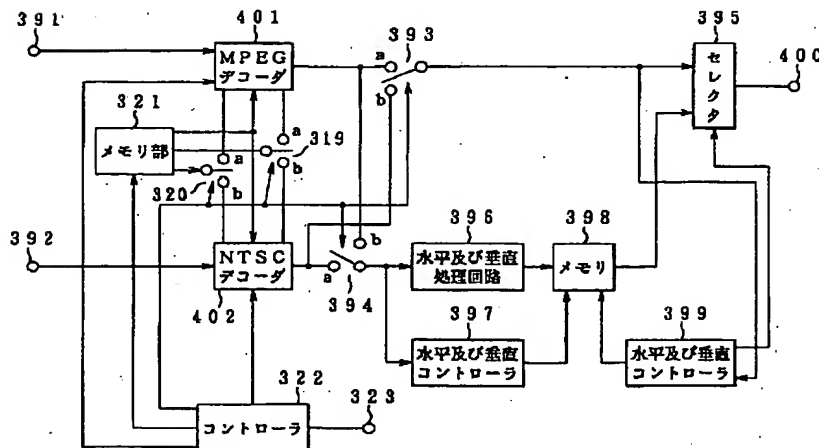


【図4】

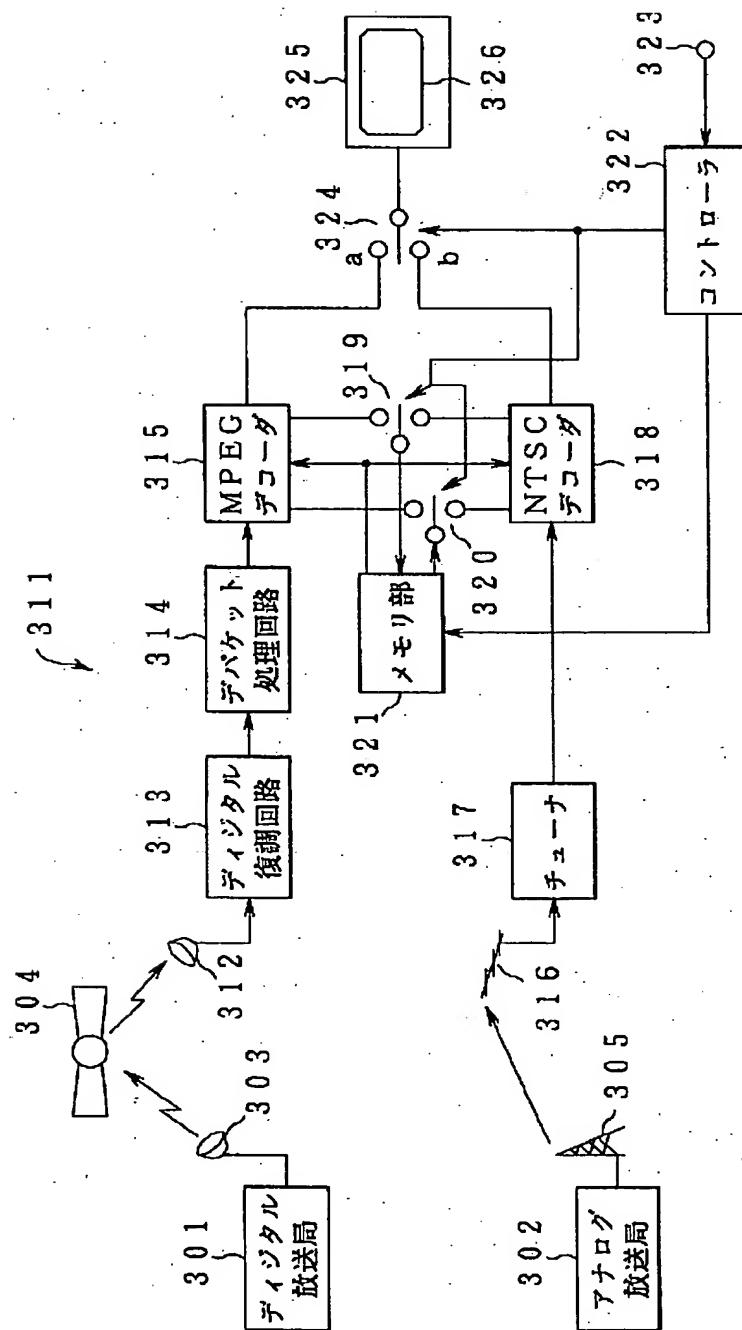


【図6】

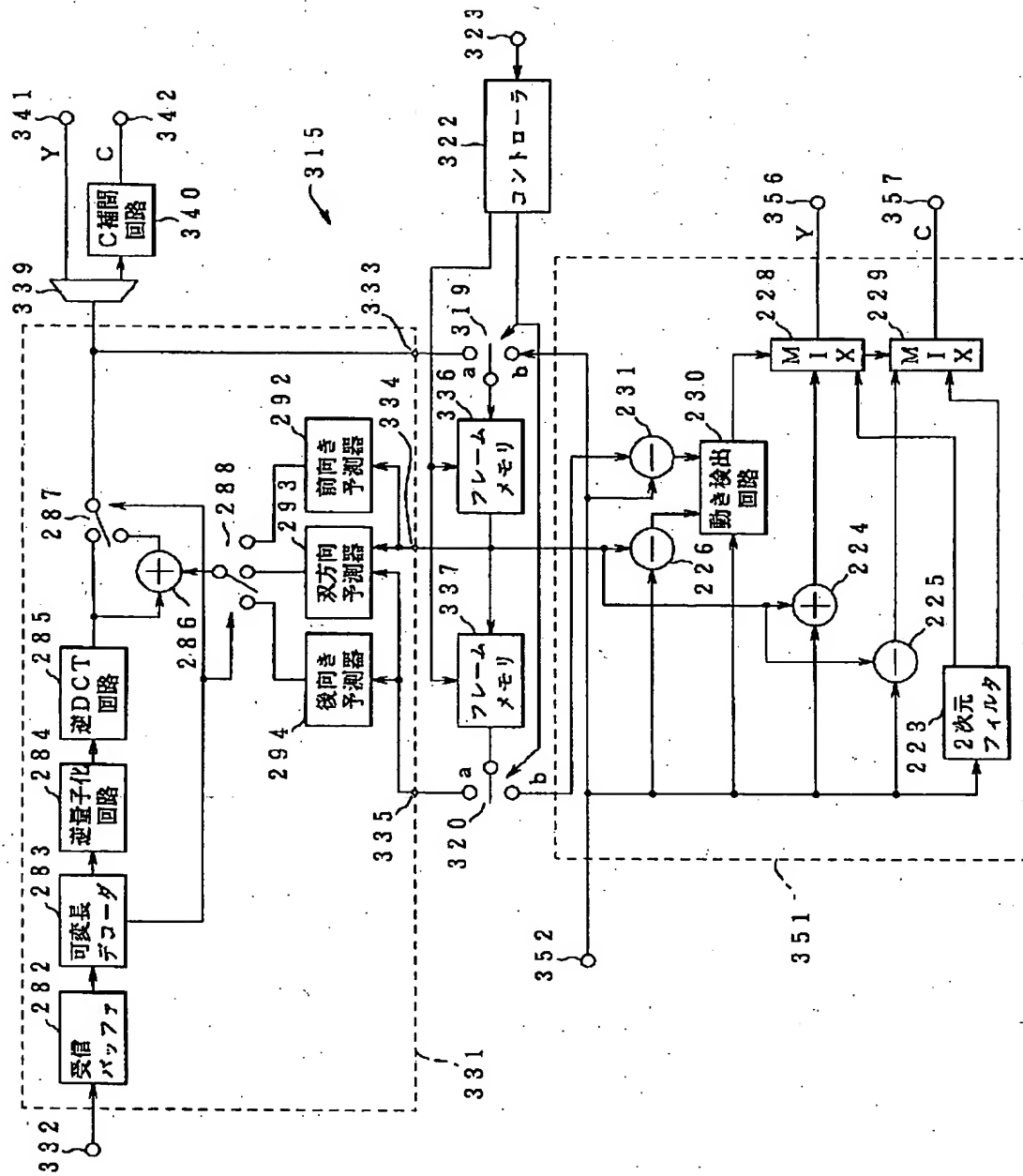
【図8】



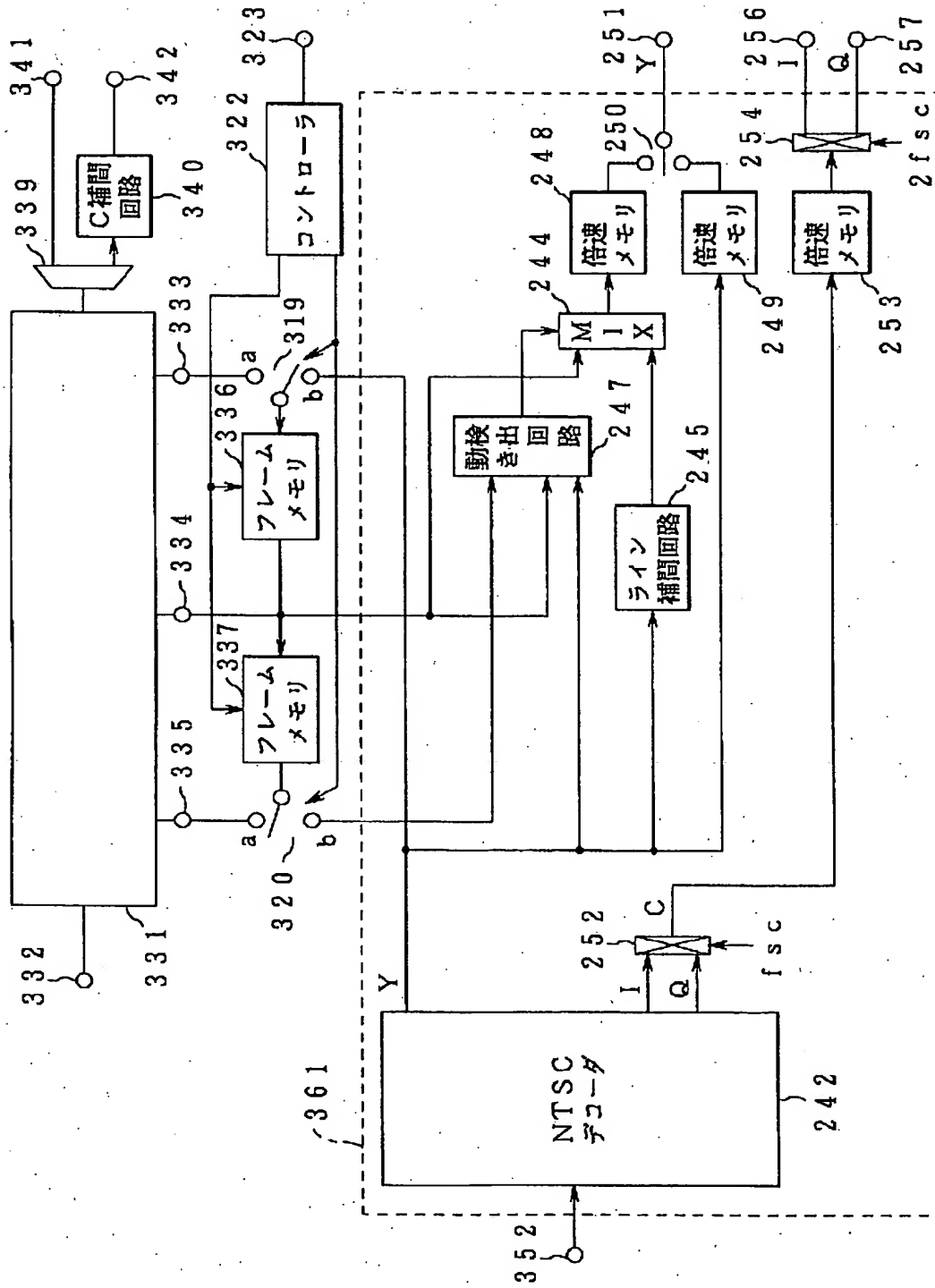
【図1】



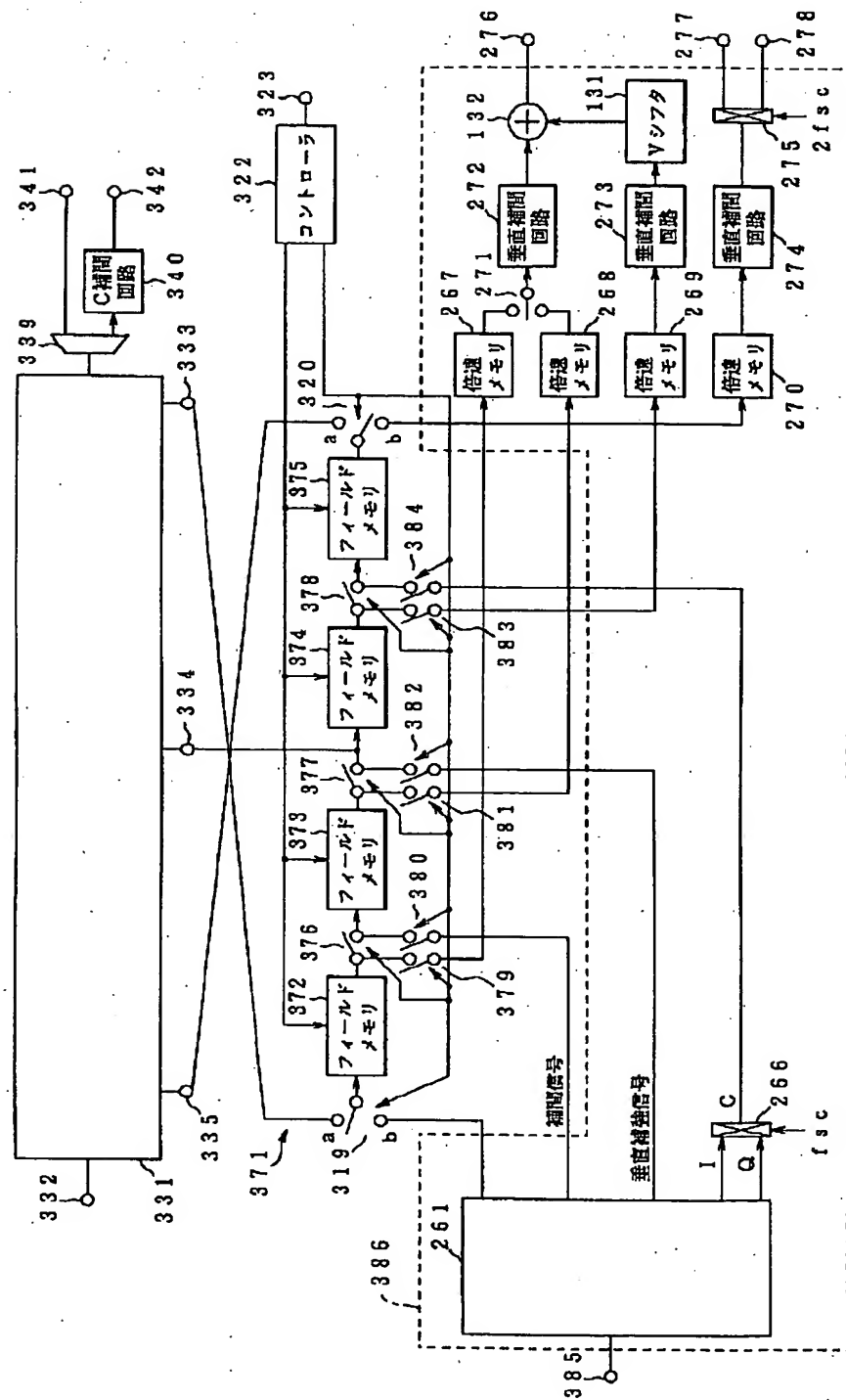
【図 2】



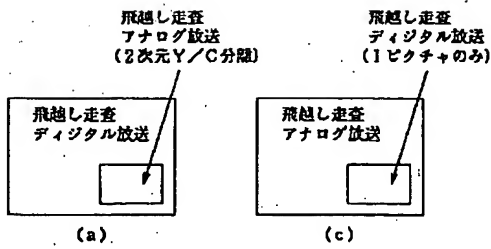
【図5】



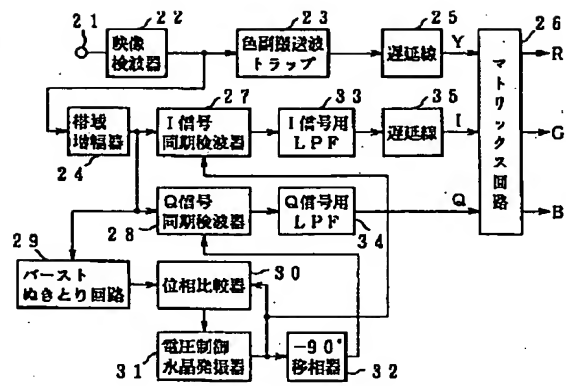
【図7】



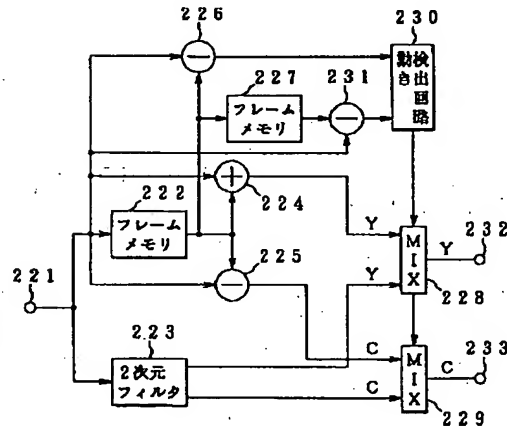
【図9】



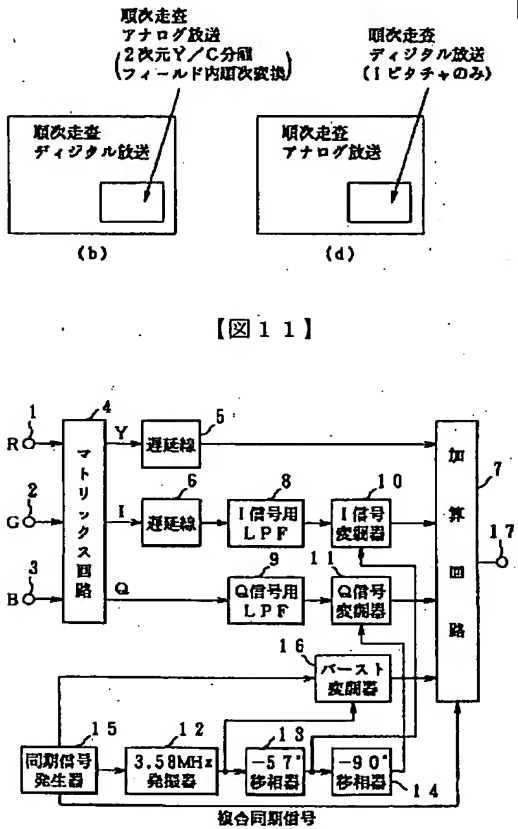
【図10】



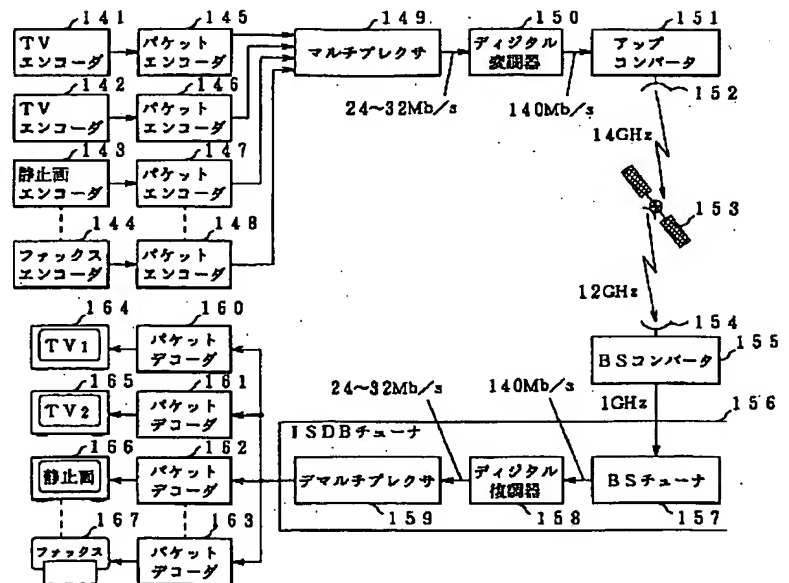
【図12】



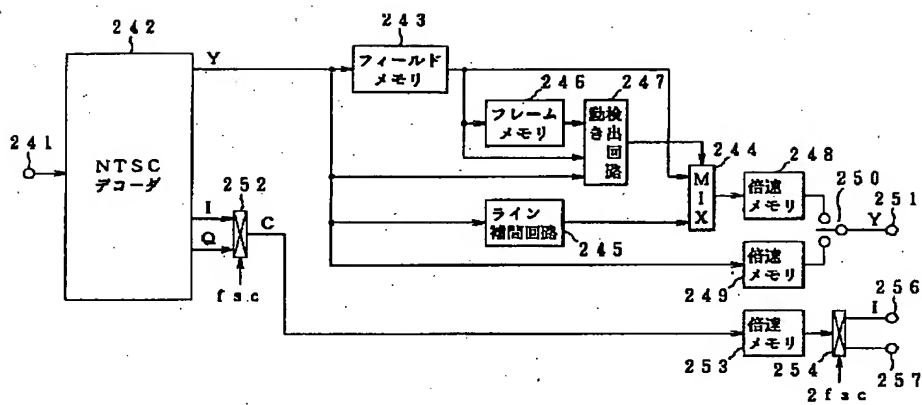
【図17】



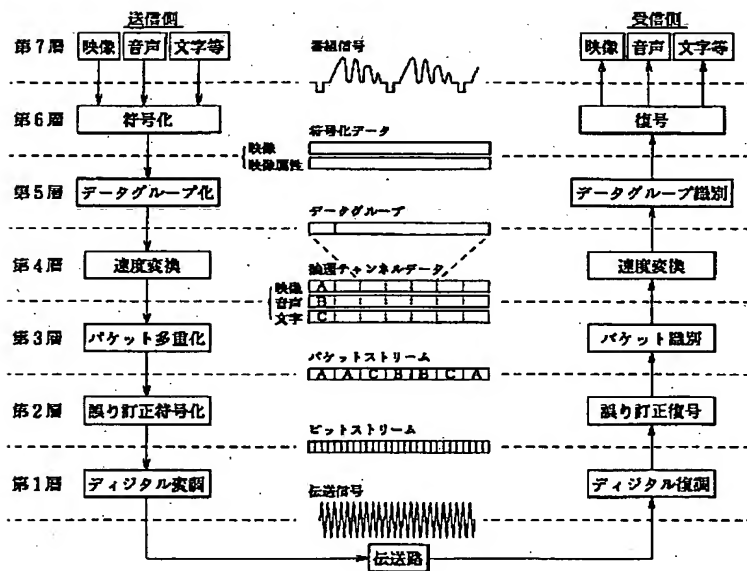
【図11】



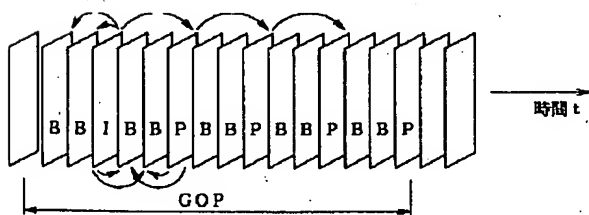
【图 13】



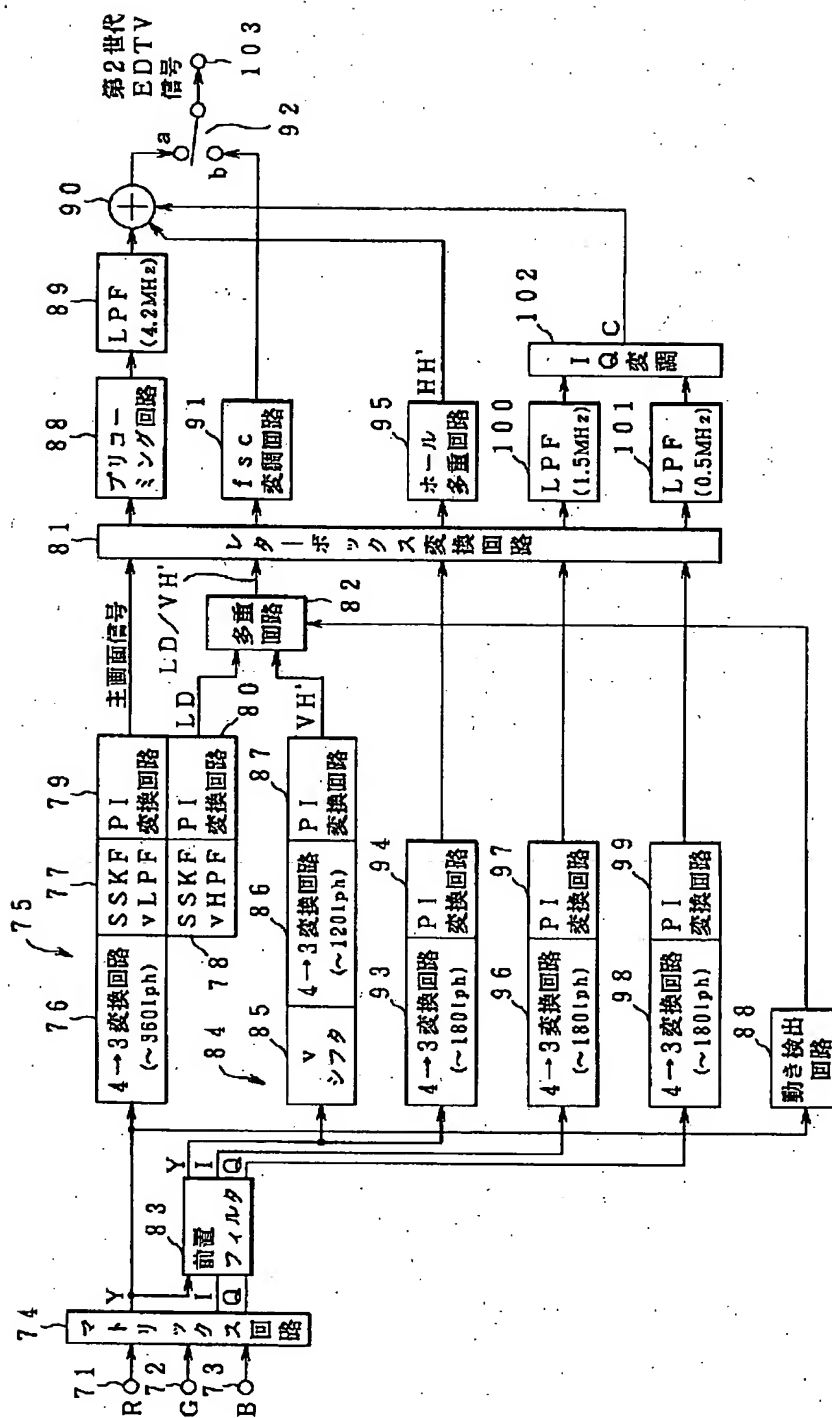
【图 18】



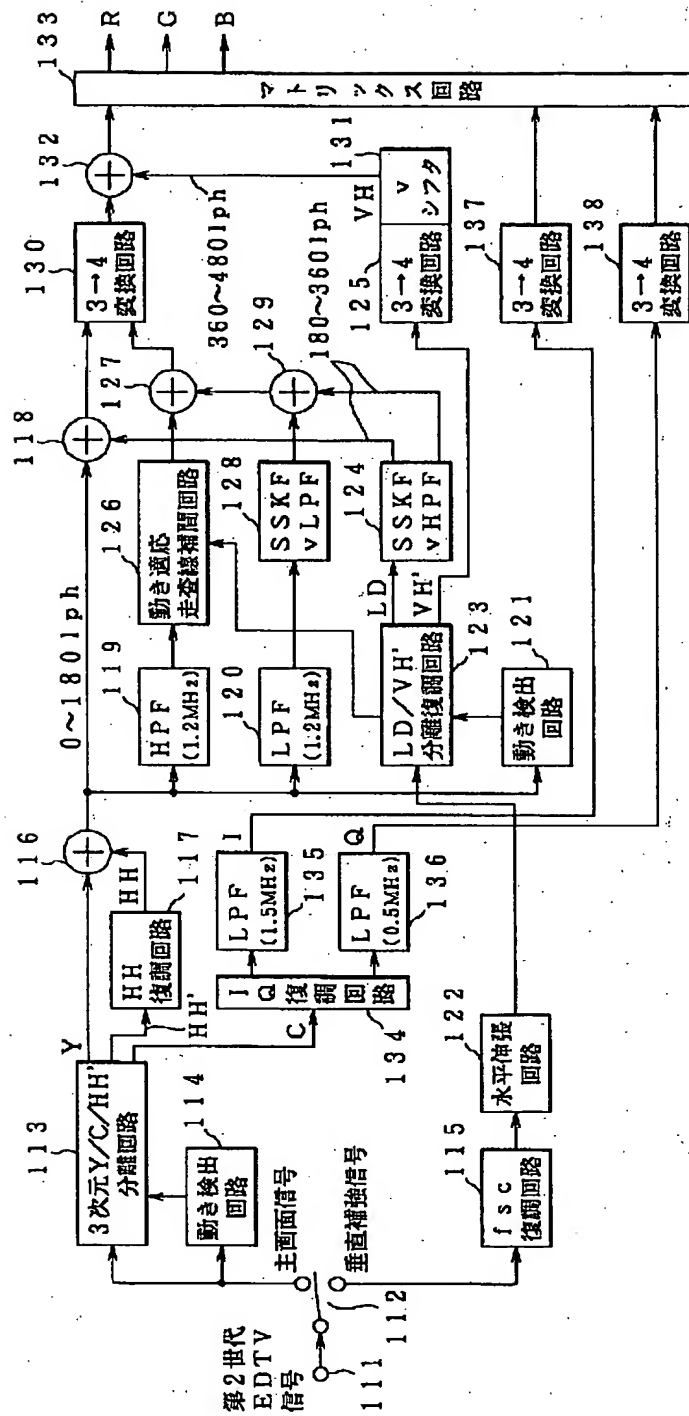
【図 2 2】



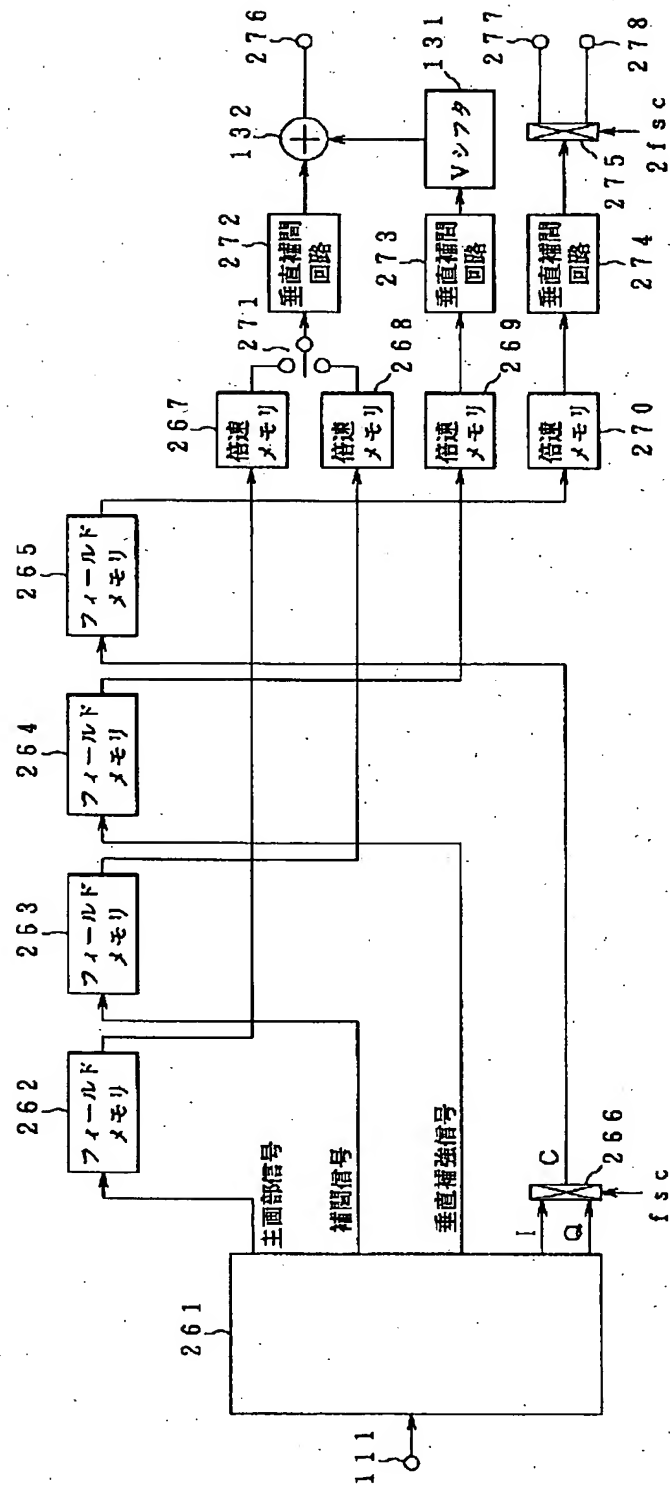
【図14】



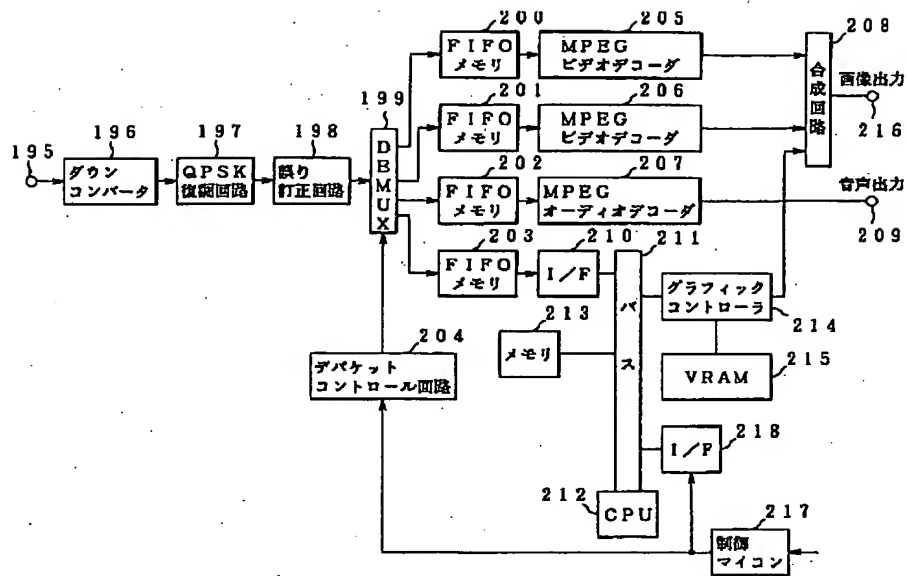
【图 15】



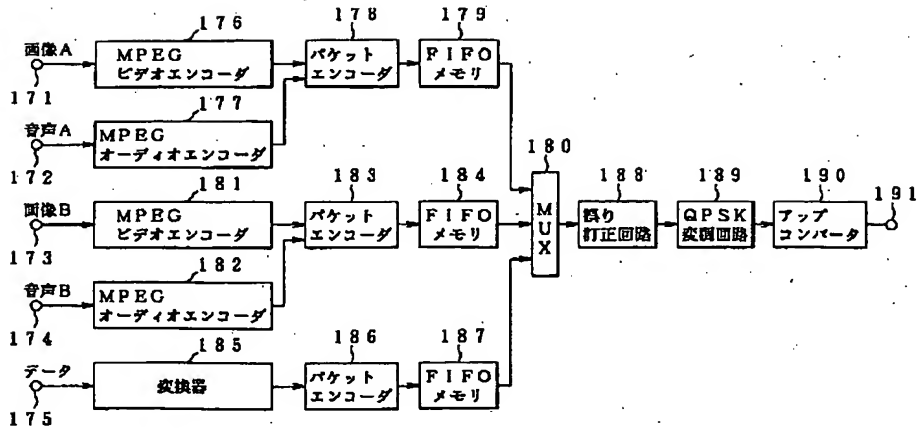
【図16】



【図19】



【図20】



The block diagram illustrates a video signal processing system. The input signal (281) enters a "信号バッファ" (Signal Buffer, 282). The output of the buffer goes to a "可変長デコーダ" (Variable Length Decoder, 283), which also receives control signals from the "フレームメモリ" (Frame Memory, 290). The decoder's output passes through an "逆量子化回路" (Inverse Quantization Circuit, 284) and an "逆DCT回路" (Inverse DCT Circuit, 285). The outputs of these two circuits are combined at a summing junction (+, 286). This junction also receives feedback from the "予測方向器" (Prediction Direction Detector, 294) and the "フレームメモリ" (290). The result of the summation is sent to a switch (287) controlled by signal 288. The switch routes the signal either back to the "可変長デコーダ" (283) or directly to the final output (289). Additionally, the signal path includes a "双方向測器" (Bidirectional Detector, 293) and a "前方向測器" (Forward Direction Detector, 292), both receiving inputs from the "フレームメモリ" (290) and providing feedback to the prediction direction detector (294).

[illegible]

技術表示箇所

7/24